

8-13-2020

## Dynamic Model of Dual Flux-Controlled Memristor and FPGA Hardware Circuit Realization

Haoqi Chen

*School of Information Engineering, Jiangxi University of Science and Technology, Ganzhou 341000, China;*

Xiaohong Zhang

*School of Information Engineering, Jiangxi University of Science and Technology, Ganzhou 341000, China;*

Follow this and additional works at: <https://dc-china-simulation.researchcommons.org/journal>



Part of the Artificial Intelligence and Robotics Commons, Computer Engineering Commons, Numerical Analysis and Scientific Computing Commons, Operations Research, Systems Engineering and Industrial Engineering Commons, and the Systems Science Commons

---

This Paper is brought to you for free and open access by Journal of System Simulation. It has been accepted for inclusion in Journal of System Simulation by an authorized editor of Journal of System Simulation.

---

## Dynamic Model of Dual Flux-Controlled Memristor and FPGA Hardware Circuit Realization

### Abstract

**Abstract:** Based on the classical Chua's chaotic circuit, a 5-Dimensional and dual flux-controlled memristive chaotic circuit system is designed. The nonlinear characteristics of the circuit are analyzed numerically and the results show that the circuit has rich chaotic dynamical behavior. *The novel memristive continuous system is transformed into digital system by first-order discrete processing. Based on DSP Builder and FPGA technology, a hardware platform of Cyclone IV E series EP4CE10F17C8N chip realizes the digital system of the model.* The design results indicate that the digital memristive system avoids the drift and instability of analog components, the display performance of the hardware waveform is stable and reliable, and is consistent with the computer simulation result.

### Keywords

flux-controlled memristor, chaotic circuit, Chua's system;, dynamical behavior, DSP Builder, FPGA(Field Programmable Gate Array)

### Recommended Citation

Chen Haoqi, Zhang Xiaohong. Dynamic Model of Dual Flux-Controlled Memristor and FPGA Hardware Circuit Realization[J]. Journal of System Simulation, 2020, 32(8): 1531-1545.

## 双磁控忆阻器动力学模型及 FPGA 硬件电路实现

陈皓琦, 张小红\*

(江西理工大学信息工程学院, 江西 赣州 341000)

**摘要:** 基于经典 Chua 混沌电路设计了一个五维双磁控忆阻器混沌电路。对电路非线性特性进行数值分析, 表明其具有丰富的混沌动力学行为。采用一阶离散处理对电路进行数字化转换, 基于 DSP Builder 和 FPGA(Field Programmable Gate Array)技术, 通过 Cyclone IV E 系列 EP4CE10F17C8N 芯片搭建的硬件平台, 真实实现了该模型数字化系统。设计结果表明, 数字化忆阻器系统避免了模拟信号元器件的漂移和不稳定性, 硬件波形显示性能稳定可靠, 且与计算机仿真结果具有相当一致性的吻合。

**关键词:** 磁控忆阻器; 混沌电路; 蔡氏系统; 动力学行为; DSP Builder; FPGA(Field Programmable Gate Array)

中图分类号: TP918 文献标识码: A 文章编号: 1004-731X (2020) 08-1531-15

DOI: 10.16182/j.issn1004731x.joss.19-0016

## Dynamic Model of Dual Flux-Controlled Memristor and FPGA Hardware Circuit Realization

Chen Haoqi, Zhang Xiaohong\*

(School of Information Engineering, Jiangxi University of Science and Technology, Ganzhou 341000, China)

**Abstract:** Based on the classical Chua's chaotic circuit, a 5-Dimensional and dual flux-controlled memristive chaotic circuit system is designed. The nonlinear characteristics of the circuit are analyzed numerically and the results show that the circuit has rich chaotic dynamical behavior. The novel memristive continuous system is transformed into digital system by first-order discrete processing. Based on DSP Builder and FPGA technology, a hardware platform of Cyclone IV E series EP4CE10F17C8N chip realizes the digital system of the model. The design results indicate that the digital memristive system avoids the drift and instability of analog components, the display performance of the hardware waveform is stable and reliable, and is consistent with the computer simulation result.

**Keywords:** flux-controlled memristor; chaotic circuit; Chua's system; dynamical behavior; DSP Builder; FPGA(Field Programmable Gate Array)

## 引言

美国加州大学伯克利分校蔡少棠(Chua L O)教



收稿日期: 2019-01-09 修回日期: 2019-04-07;  
基金项目: 国家自然科学基金(61763017, 51665019),  
江西省自然科学基金(20161BAB206145), 江西省教育  
厅重点科技项目(GJJ150621);  
作者简介: 陈皓琦(1992-), 男, 江西九江, 硕士,  
研究方向为非线性动力学、嵌入式系统开发。

授<sup>[1]</sup>在 1971 年根据电路变量完备性原理提出了忆阻器的概念, 用来描述元件中电荷和磁通关系。忆阻器是一种非线性二端口元件, 可以通过控制流经电流的变化改变阻值<sup>[2-3]</sup>。2008 年惠普(HP)实验室的研究人员宣布成功研制出了具有典型忆阻特性的纳米级固态元件<sup>[4]</sup>。此后, 基于忆阻器混沌系统的研究引起了广泛关注, 学者们主要研究用忆阻器

<http://www.china-simulation.com>

• 1531 •

替换蔡氏电路中的非线性器件, 构建不同特性的忆阻混沌电路<sup>[5-7]</sup>。日本福冈工业大学 Itoh M 博士与美国 Chua L O 教授<sup>[8]</sup>采用分段忆阻器构建忆阻混沌电路, 但其忆导值是不连续的, 文中仅用计算机程序进行了模拟电路仿真。美国 Bharathwaj M 博士<sup>[9]</sup>基于三次光滑非线性忆阻器构建忆阻混沌电路, 并用分立元件实现了该电路, 在实验中通过示波器观察到不同状态的混沌吸引子相图, 为忆阻混沌电路的硬件实现提供了设计指导。该忆阻混沌电路只含一个忆阻器, 动力学特性相对简单。多忆阻器混沌电路具有更复杂的拓扑结构, 能产生更丰富的混沌现象, 在工程领域的实用性更强。Bao B C 等<sup>[10]</sup>提出一种基于有源带滤波器的 Chua 电路, 通过用 2 个不同的忆阻器替代 Chua 电路中的非线性电阻和线性电阻, 构建一个新型五维忆阻超混沌电路, 同时在忆阻神经系统的 Hindmarsh-Rose 与 Hopfield 神经网络模型中用物理电路进行实现<sup>[11]</sup>。洪庆辉等<sup>[12]</sup>利用荷控和磁控 2 种忆阻器模型构建了一种五阶忆阻混沌电路, 改变电路的参数能产生 Hopf 分岔和反倍周期分岔 2 种分岔行为。由于模拟器件的不稳定性, 以上研究中电路仿真结果的吸引子图像和数值仿真结果有一定的差异。

构造一个忆阻混沌电路不是很困难, 但是找到一种方法硬件实现一个结构简单且动力学行为复杂的忆阻混沌电路仍然是挑战<sup>[13-14]</sup>。大多数的研究人员采用分立元件来实现连续或分段忆阻混沌电路<sup>[15-17]</sup>, 但是模拟电路易受外界环境影响, 且忆阻混沌电路对电路参数和初始状态极其敏感, 构建的硬件电路稳定性不强<sup>[18-19]</sup>。采用分立元件构建的忆阻混沌电路复杂, 体积较大, 不利于嵌入设备中进行工程应用。因此, 使用现场可编程逻辑门阵列 (FPGA) 技术设计混沌电路变得尤为重要。FPGA 具有容量大和可靠性高等优点, 使得其在现代数字信号处理中有着广泛的应用。邵书义等<sup>[20]</sup>根据 IEEE-754 标准和模块化设计理念, 基于 FPGA(Field Programmable Gate Array)开发平台设计了一个新的五维变形蔡氏系统。许雅明等<sup>[21]</sup>在

FPGA 技术中运用改进的牛顿迭代法, 设计了一种开方运算器, 硬件实现了磁控二氧化钛忆阻混沌电路, 电路运行结果与数值仿真基本一致。以上 2 种设计方法均依据 IEEE-754 标准, 每个模块都需要单独编程设计, 难免会增加开发难度和开发周期。张建广等<sup>[22]</sup>利用单片机和 FPGA 技术, 设计了一种多混沌吸引子分时切换系统, 由单片机产生的控制信号与 FPGA 系统之间实现通信, 整个系统切换灵活, 可根据实际应用加载不同混沌系统。该系统使用 2 个主控芯片进行系统的切换与运作, 无形增加了系统的复杂度和成本。虽然当前应用 FPGA 技术实现的混沌电路已有很多相关研究, 但将其应用在忆阻混沌电路中并不多见。

针对现有多忆阻混沌电路结构相对复杂, 不利于模拟电路的硬件实现, 本文基于传统的 Chua 混沌电路, 使用 2 个 3 次光滑非线性磁控忆阻器模型, 设计一个新型五阶双磁控忆阻器电路, 并建立相应电路状态变量的非线性动力学方程。通过数值仿真分析电路混沌吸引子的存在, 且电路混沌特性对忆阻器的初始状态具有很强的依赖性。不同于利用 IEEE-754 标准基于 FPGA 技术设计的混沌电路, 本文采用一阶离散算法将忆阻混沌电路模型离散处理, 利用 MATLAB/DSP Builder 工具将离散后的模型进行数字化电路设计, 并最终利用 FPGA 技术硬件实现数字化双磁控忆阻器电路。通过物理按键可切换输出不同端口的混沌波形信号, 丰富了混沌非线性轨迹的多样性。本文采用模块化设计思路, 基于 DSP Builder 技术设计数字电路能大大缩短开发周期, 有效降低系统内存占用, 同时在数据精度计算能达到 14 位, 简洁灵活的设计方法便于在传统混沌电路和忆阻混沌电路中进行等效维护和二次开发。

## 1 忆阻器模型

忆阻器是一种无源二端口元件, 其内部磁通  $\phi$  和累积的电荷量  $q$  之间的关系可以用如下函数表示:

$$\begin{cases} v = M(q)i \\ i = W(\varphi)v \end{cases} \quad (1)$$

式中:  $v$  为忆阻器两端的电压;  $i$  为流经忆阻器的电流;  $M(q)$  和  $W(\varphi)$  分别称为忆阻和忆导。 $M(q)$  和  $W(\varphi)$  为非线性函数, 均取决于忆阻器内部状态变量  $\varphi$  和  $q$ , 函数定义如下:

$$\begin{cases} W(\varphi) = \frac{dq(\varphi)}{d\varphi} \\ M(q) = \frac{d\varphi(q)}{dq} \end{cases} \quad (2)$$

常用几种非线性函数来描述忆阻器的动态模型: 非光滑分段线性、光滑 3 次非线性、光滑分段 2 次非线性等。如果一个忆阻器在任意零直流分量周期性信号作用下, 紧磁滞回线只在第 1 和第 3 象限有分布, 本文称其为无源的; 否则, 称为有源的。蔡少棠教授指出, 在直流分量为 0 的周期性电流源或电压源作用下, 任何在  $i-v$  域展示出过原点的紧磁滞回线的二端器件, 都可以被称为忆阻器<sup>[23]</sup>。本文设计 2 个忆阻器, 一个为无源忆阻, 另一个为有源忆阻。为了简化忆阻器的设计方法, 本文均采用 3 次光滑非线性忆阻器模型。其定义如下:

$$q(\varphi) = a\varphi + b\varphi^3 \quad (3)$$

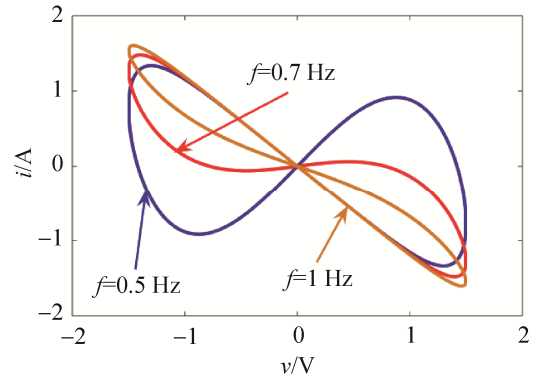
则可得 2 个忆阻器的忆导  $W_1(\varphi)$ ,  $W_2(\varphi)$  分别为

$$W_1(\varphi_1) = \frac{dq(\varphi_1)}{d\varphi_1} = a + 3b\varphi_1^2 \quad (4)$$

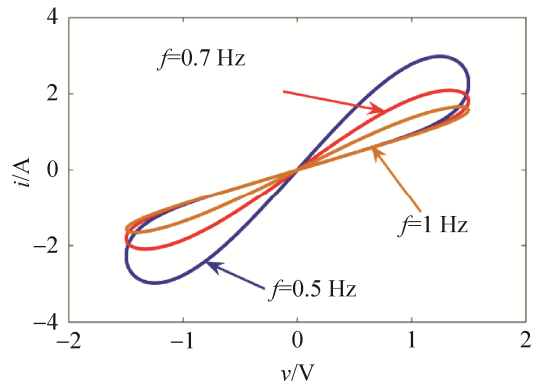
$$W_2(\varphi_2) = \frac{dq(\varphi_2)}{d\varphi_2} = c + 3d\varphi_2^2 \quad (5)$$

式中:  $a, b, c, d$  为实常数, 且  $a \neq c$ ,  $b \neq d$ 。

为了进一步验证忆阻器典型的紧磁滞收缩特性, 我们在单口网络上连接一个正弦电压源作为激励<sup>[24]</sup>, 选取合适的参数, 当  $a = -1.2$ ,  $b = 1$ ,  $c = 0.9$ ,  $d = 0.9$  时, 由式(4)~(5)可以绘出图 1 所示两个忆阻器在不同频率  $f$  下的  $i-v$  特性曲线, 可见所设计的磁控忆阻器模型的电流电压  $i-v$  曲线是一条类似斜“8”的紧磁滞回线, 且频率  $f$  越大, 紧磁滞回线收缩越明显。



(a) 磁控忆阻器  $W_1$  磁滞回线



(b) 磁控忆阻器  $W_2$  磁滞回线

图 1 2 个磁控忆阻器的  $i-v$  特性曲线

Fig. 1  $i-v$  curves of two different memristors

## 2 双磁控忆阻电路模型和动力学分析

### 2.1 双磁控忆阻混沌电路

基于传统的三阶 Chua 混沌电路, 本文设计了一个新型五阶忆阻混沌电路如图 2 所示, 该电路共由 6 个电路元件构成: 2 个磁控忆阻器、2 个电容、一个电感和一个线性电阻。与这 6 个电路元件对应的状态变量分别为:  $\varphi_1$ ,  $\varphi_2$ ,  $v_1$ ,  $v_2$ ,  $i_L$ ,  $R$ , 其中  $\varphi_1$  和  $\varphi_2$  为所构建的 2 个磁控忆阻器的内部状态变量。

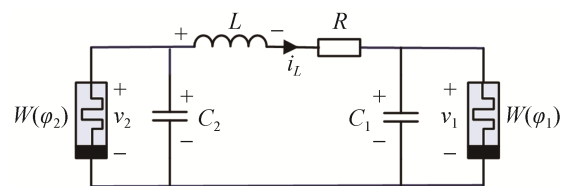


图 2 双磁控忆阻混沌电路

Fig. 2 Dual flux-controlled memristive chaotic circuit

根据基尔霍夫定律(KVL 及 KCL)和欧姆定理分析图 2 所示的电路,可以列出 5 个联立的一阶微分方程组:

$$\begin{cases} \frac{dv_1}{dt} = \frac{1}{C_1} [i_L - w_1(\varphi_1)v_1] \\ \frac{dv_2}{dt} = -\frac{1}{C_2} [i_L + w_2(\varphi_2)v_2] \\ \frac{di_L}{dt} = \frac{1}{L} [v_2 - v_1 - i_L R] \\ \frac{d\varphi_1}{dt} = v_1 \\ \frac{d\varphi_2}{dt} = v_2 \end{cases} \quad (6)$$

为了便于数值分析,将式(6)进行无量纲归一化,设  $x=v_1$ ,  $y=v_2$ ,  $z=i_L$ ,  $\omega=\varphi_1$ ,  $\mu=\varphi_2$ ,  $\alpha=1/C_1$ ,  $\beta=1/C_2$ ,  $\gamma=1/L$ , 代入式(6), 方程组归一化的无量纲状态方程可写为:

$$\begin{cases} \dot{x} = \alpha[z - W(\omega)x] \\ \dot{y} = -\beta[z + W(\mu)y] \\ \dot{z} = \gamma(y - x - zR) \\ \dot{\omega} = x \\ \dot{\mu} = y \end{cases} \quad (7)$$

式中: 2 个忆阻器的忆导分别为:  $W(\omega) = a + 3b\omega^2$ ,  $W(\mu) = c + 3d\mu^2$ ; 其中  $a, b, c, d$  为常量。选定系统参数为:  $\alpha=9$ ,  $\beta=9$ ,  $\gamma=5$ ,  $R=0.1$ ,  $a=-1.2$ ,  $b=1$ ,  $c=0.9$ ,  $d=0.9$ , 方程(7)可以重写为:

$$\begin{cases} \dot{x} = 9[z - (-1.2 + 3\omega^2)x] \\ \dot{y} = -9[z + (0.9 + 2.7\mu^2)y] \\ \dot{z} = 5(y - x - 0.1z) \\ \dot{\omega} = x \\ \dot{\mu} = y \end{cases} \quad (8)$$

初始状态取值为 (0.001, 0.01, 0, 0, 0), 利用龙格库塔算法得到式(7)所描述系统在各相平面产生的投影如图 3 所示, 系统存在着明显的混沌双涡旋吸引子。

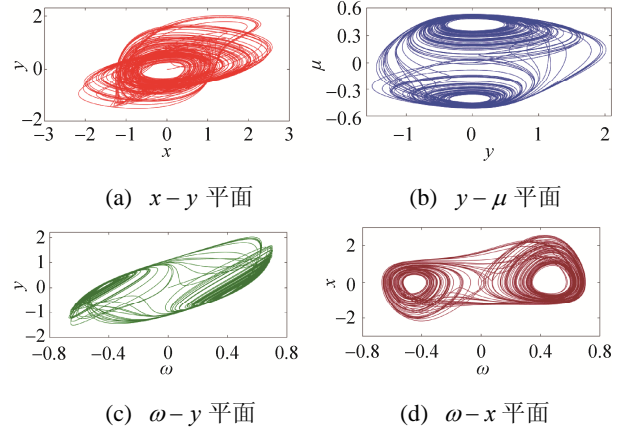
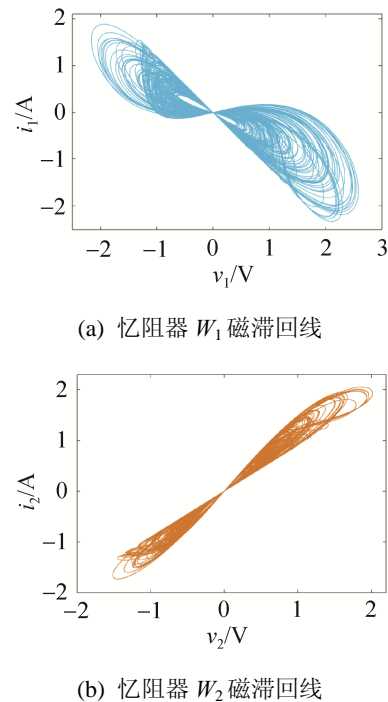


图 3 双磁控忆阻混沌电路相轨图

Fig. 3 Phase portraits of dual flux-controlled memristive chaotic circuit

## 2.2 混沌特性及其稳定性分析

图 4 显示的是 2 个磁控忆阻器的电压 ( $v_1 = x$ ,  $v_2 = y$ ) 和电流 ( $i_1 = W(\omega)v_1, i_2 = W(\mu)v_2$ ) 之间的关系, 可以看出图 4 和图 1 有着类似的紧磁滞回线。

图 4  $i(t) - v(t)$  时域波形图Fig. 4  $i(t) - v(t)$  variable phase portraits

采用 Jacobi 方法计算 Lyapunov 指数得  $LE_1 = 0.428$ ,  $LE_2 = 0.02$ ,  $LE_3 = 0.005$ ,  $LE_4 = -0.02$ ,  $LE_5 = -6.863$ , 其中 3 个指数大于 0, 2 个指数小

于 0, 且系统的总 Lyapunov 指数和为负数。系统的 Lyapunov 维数:

$$D_L = j + \frac{1}{|L_{j+1}|} \sum_{i=1}^j L_i = 4 + \frac{L_1 + L_2 + L_3 + L_4}{|L_5|} = 4.063$$

从五阶双磁控忆阻混沌电路的相轨图、时域波形图和相应的 Lyapunov 指数及维度可以体现该电路具有丰富的混沌动力学行为。

令  $\dot{x} = \dot{y} = \dot{z} = \dot{\omega} = \dot{\mu} = 0$ , 可以得到系统平衡点集:

$$E = \{(x, y, z, \omega, \mu) | x = y = z = 0, \omega = c_1, \mu = c_2\}$$

式中:  $c_1, c_2$  为不确定的任意常数, 因此在  $\omega - \mu$  平面上的任一点都是该系统的平衡点。选取电路参数  $\alpha=9, \beta=9, \gamma=5, R=0.1$ , 忆阻器参数  $a=-1.2, b=1, c=0.9, d=0.9$ , 选择  $c_1, c_2$  作为可调参数, 得式(7)在平衡点集合  $E$  处的 Jacobi 矩阵  $J_E$  为:

$$J_E = \begin{bmatrix} 10.8 - 27c_1^2 & 0 & 9 & 0 & 0 \\ 0 & -8.1 - 24.3c_2^2 & -9 & 0 & 0 \\ -5 & 5 & -0.5 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 \end{bmatrix}$$

系统平衡点集  $E$  的特征根方程为:

$$\lambda^2(\lambda^3 + a_1\lambda^2 + a_2\lambda + a_3) = 0 \quad (9)$$

式中:

$$\begin{cases} a_1 = 27c_1^2 + 24.3c_2^2 - 2.2 \\ a_2 = 656.1c_1^2c_2^2 + 232.2c_1^2 - 250.29c_2^2 + 1.17 \\ a_3 = 328.05c_1^2c_2^2 + 1324.35c_1^2 + 962.3c_2^2 - 165.24 \end{cases}$$

根据式(9)可以得出: 公式(7)含有 2 个零特征根和 3 个非零特征根。式(9)括号内的 3 次多项式方程系数均是非零实常数, 依据 Routh-Hurwitz 稳定性判据, 式(9)所有根均具有负实部的充要条件为:

$$H_k = \begin{vmatrix} a_1 & a_3 & 0 \\ 1 & a_2 & 0 \\ 0 & a_1 & a_3 \end{vmatrix} > 0 \quad (10)$$

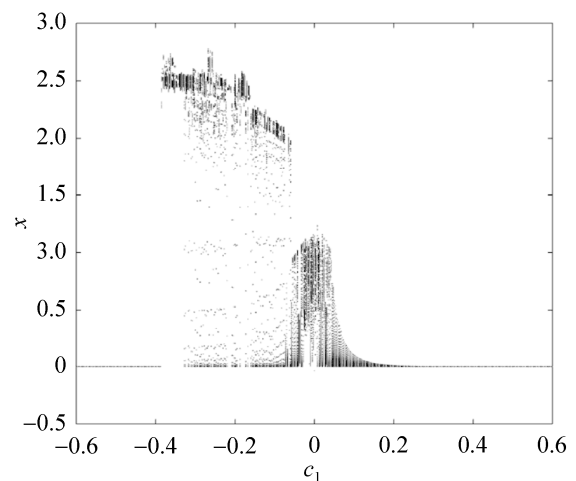
式中:  $k=1, 2, 3$  时, 则:

$$\begin{aligned} H_1 &= a_1 > 0 \\ H_2 &= a_1a_2 - a_3 > 0 \\ H_3 &= a_3(a_1a_2 - a_3) > 0 \end{aligned} \quad (11)$$

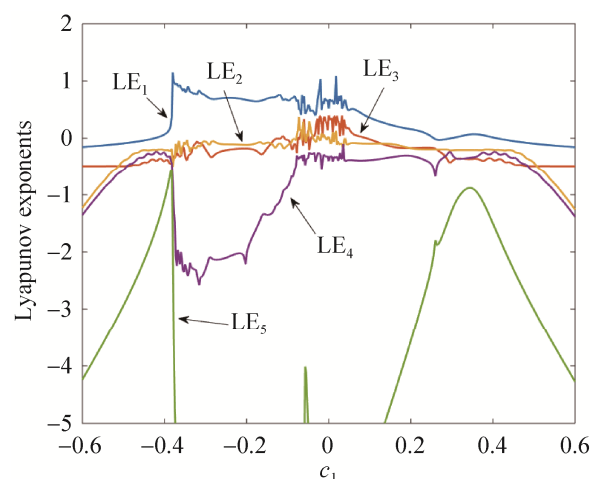
令  $c_2=0$ , 则在  $c_1 - c_2$  构成平面的  $c_1$  坐标轴上对应的不稳定区域是:  $|c_1| < 0.3532$ 。

然而令  $c_1=0$  时,  $c_1 - c_2$  构成平面的  $c_2$  坐标轴上不存在任何稳定区域, 这说明系统从对应平衡点出发的解是不稳定的, 趋于极限环、混沌或者无穷发散。下面将进行数值仿真来研究 2 个零特征根对忆阻混沌电路造成的影响。

对于以上给定参数, 选取系统初始状态取值为  $(0.001, 0.01, 0, \omega(0), \mu(0))$ , 设  $\omega(0), \mu(0)$  为可变参数。当  $\mu(0)=0$  时, 公式(7)随初始状态  $\omega(0)=c_1$  变化的分岔图和 Lyapunov 指数谱分别如图 5 所示, 这里画分岔图所选择的庞加莱截面为  $i_L(t) = 0$ 。



(a) 分岔图

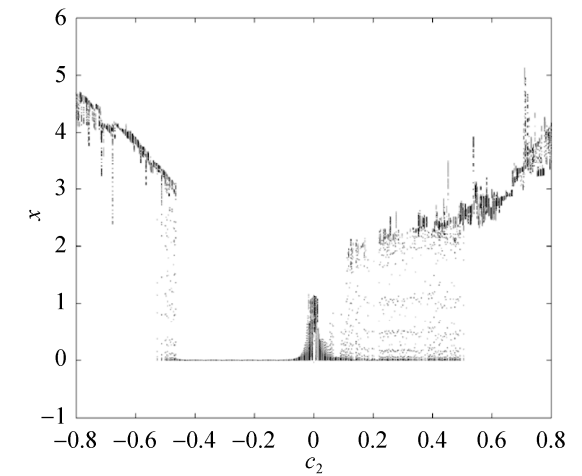


(b) Lyapunov 指数谱图

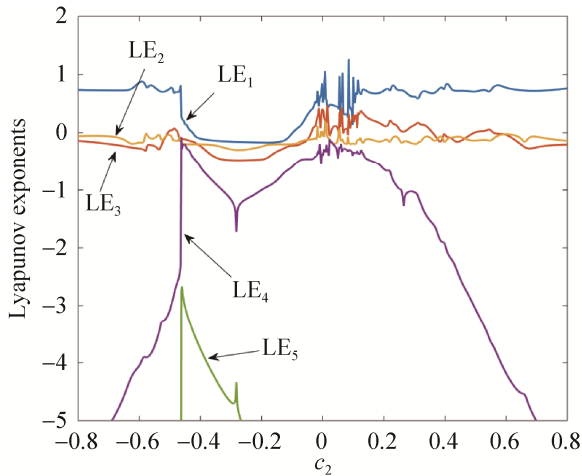
图 5 随初始状态  $c_1$  变化的动力学行为  
Fig. 5 Bifurcation diagram and Lyapunov exponent spectra with initial states  $c_1$

由图 5 可知初始状态  $\omega(0) = c_1$  在区间  $(-0.36, 0.25)$ 、 $(0.3, 0.4)$  内系统是混沌的, 且此时最大 Lyapunov 指数为正, 对比分岔图和 Lyapunov 指数谱可以得出, 二者反映了忆阻混沌电路的动力学行为完全一致。

当  $\omega(0) = 0$  时, 公式(7)随初始状态  $\mu(0) = c_2$  变化的分岔图和 Lyapunov 指数谱图分别如图 6 所示, 同样的这里画分岔图所选择的庞加莱截面为  $i_L(t) = 0$ 。



(a) 分岔图



(b) Lyapunov 指数谱图

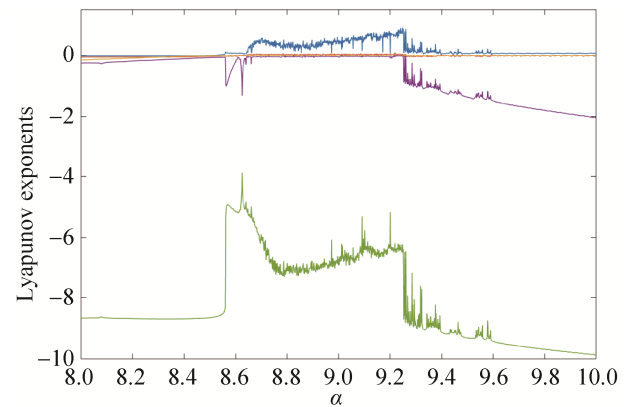
图 6 随初始状态  $c_2$  变化的动力学行为Fig. 6 Bifurcation diagram and Lyapunov exponent spectra with initial states  $c_2$ 

由图 6 可以看出初始状态  $\mu(0) = c_2$  在区间  $(-0.8, -0.47)$ 、 $(-0.12, 0.8)$  内系统是混沌的, 在区

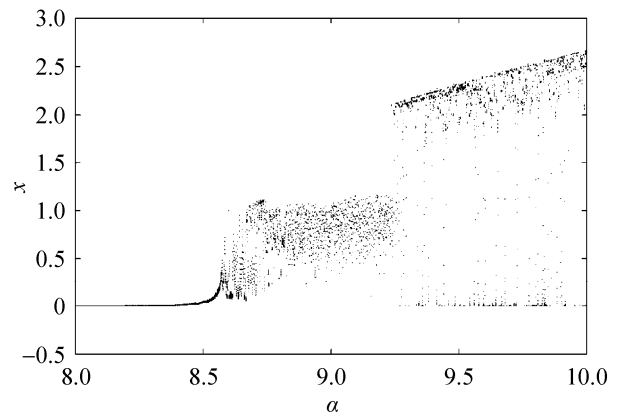
间  $(-0.47, -0.12)$  内系统是稳定的。对比分岔图和 Lyapunov 指数谱图, 二者体现的系统稳定区域和不稳定区域完全一致。图 6 所示的数值仿真结果和平衡点稳定性分析结果在区间  $(-0.47, -0.12)$  内存在差异, 这是因为式(7)所描述系统的平衡点除了 3 个非零特征根外还有 2 个零特征根。

### 2.3 参数可调的系统动力学分析

采用 Lyapunov 指数谱和分岔图对图 2 所示的双磁控忆阻混沌电路随电路参数变化的动力学特性进行分析与研究。选取电路参数  $\beta = 9$ ,  $\gamma = 5$ ,  $R = 0.1$ , 电路初始状态  $(0.001, 0.01, 0, 0, 0)$ , 其中  $\alpha$  作为可变参数, 即通过调节电容  $C_1$  的值研究其对系统动力学行为的影响。当  $\alpha$  在区间  $[8, 10]$  变化时, 系统的 Lyapunov 指数谱和分岔图如图 7 所示。



(a) Lyapunov 指数谱图



(b) 分岔图

图 7 随电路参数  $\alpha$  变化的 Lyapunov 指数谱和分岔图Fig. 7 TLyapunov exponent spectra and bifurcation diagram changing with circuit parameter  $\alpha$



对比图 7 随电路参数  $\alpha$  变化的 Lyapunov 指数谱和分岔图, 两图显示的各自运行轨线所体现系统稳定与不稳定状态区间是互相吻合的。随着电路参数  $\alpha$  的变化, 系统首先呈现出周期性极限环状态, 经过准周期状态后慢慢进入暂态混沌状态, 最终变为超混沌状态。表 1 列出了电路参数  $\alpha$  在各个变化区间取特定值对应的不同动力学行为。

表 1  $\alpha$  在特定参数下的 Lyapunov 指数及其动力学行为  
Tab. 1 Lyapunov exponents of  $\alpha$  under specify parameter and its corresponding dynamic behavior

电路参数 $\alpha$	Lyapunov 指数	动力学行为
$\alpha=8.1$	$L_1 \approx 0, L_2 = -0.049$	极限环
	$L_3 = -0.117, L_4 = -0.231$	
	$L_5 = -8.665$	
$\alpha=8.49$	$L_1 \approx 0, L_2 \approx 0$	准周期
	$L_3 = -0.016, L_4 = -0.073$	
	$L_5 = -8.666$	
$\alpha=9$	$L_1=0.341, L_2 = 0.056$	超混沌
	$L_3 = 0, L_4 = -0.047$	
	$L_5 = -6.837$	

### 3 忆阻混沌电路的 DSP Builder 实现

#### 3.1 忆阻混沌电路的离散化

在数值计算中, 四阶 Runge-Kutta 算法是一种非常常见的求解非线性常微分方程的方法, 具有精度高的优点。但是该方法计算量大、对 CPU 计算性能要求高且需要大量内存来存储运算数据。在嵌入式设备中, CPU 的性能往往不及 PC 端, 且嵌入式设备的内存十分宝贵, 提高内存来增加数据存储量带来的成本很高, 这种方法已不适合嵌入式硬件实现。因此, 本文采取了一种快速数字差分算法, 计算量和占用内存明显减少。

利用一阶离散化公式对式(6)进行处理, 取

$$\frac{dx}{dt} = f(x_1, x_2, \dots, x_k) = \lim_{\Delta t \rightarrow 0} \frac{x_{k+1} - x_k}{\Delta t} \quad (12)$$

式中:  $\Delta t$  为采样时间, 式(12)变形得:

$$x' = (x[k+1] - x[k]) / \Delta t \quad (13)$$

由于连续混沌系统动力学行为丰富, 对初值极为敏感, 产生的时间序列随机且不可预测, 那么本文对其进行离散化时, 采样时间  $\Delta t$  取值必须合理,

保证离散化系统和连续系统的混沌行为一致性。如果  $\Delta t$  过大, 则连续混沌系统中的大量信息将因采样而丢失, 而  $\Delta t$  过小时, 则对我们的硬件系统要求很高, 否则会造成系统严重失真。为了尽可能高地提升系统采样频率, 减少硬件系统的负担, 本文设置采样时间  $\Delta t = 1 \times 10^{-4}$ 。因此, 式(6)描述的系统可以表示为:

$$\begin{cases} v_1[k+1] = \\ v_1[k] + \Delta t \cdot \left( \frac{1}{C_1} (i_L[k] - w_1(\varphi) \cdot v_1[k]) \right) \\ v_2[k+1] = \\ v_2[k] - \Delta t \cdot \left( \frac{1}{C_2} (i_L[k] + w_2(\varphi) \cdot v_2[k]) \right) \\ i_L[k+1] = \\ i_L[k] + \Delta t \cdot \left( \frac{1}{L} (v_2[k] - v_1[k] - i_L[k] \cdot R) \right) \\ \varphi[k+1] = \varphi[k] + \Delta t \cdot v_1[k] \\ \varphi_2[k+1] = \varphi_2[k] + \Delta t \cdot v_2[k] \end{cases} \quad (14)$$

对比式(14)和式(6)可知, 通过一阶离散化处理将连续五阶微分方程转化为离散五阶差分方程。式(6)中微分运算变换为计算机处理方便的迭代运算, 且离散后的方程只有几个数乘运算和二次项相乘运算, 算法简单复杂度低, 非常利于硬件实现。

#### 3.2 忆阻混沌电路的 DSP Builder 设计

为了实现 3.1 节所描述的数字忆阻混沌电路, 本文采用了 Matlab/Simulink R2012b 和 DSP Builder 13 开发平台。DSP Builder 是可编程片上系统(SOPC)的重要组成部分, 连接着仿真模拟和 RTL 级(硬件实现)两个领域, 可以完成基于 FPGA 的 DSP 数字系统设计。

利用 DSP Builder 技术设计数字忆阻混沌电路, 作为 FPGA 电路系统中的一个模块, 与其他功能模块连接在一起组成数字化硬件系统, 最终完成了从算法级到 RTL 级的实现。该方法使用图形化设计, 大大提高了数字电路的开发效率, 增加了数字电路设计的灵活性和可靠性。为了实现 3.1 节中的迭代运算, 本文设计了数字积分器模块电路如图 8 所示。

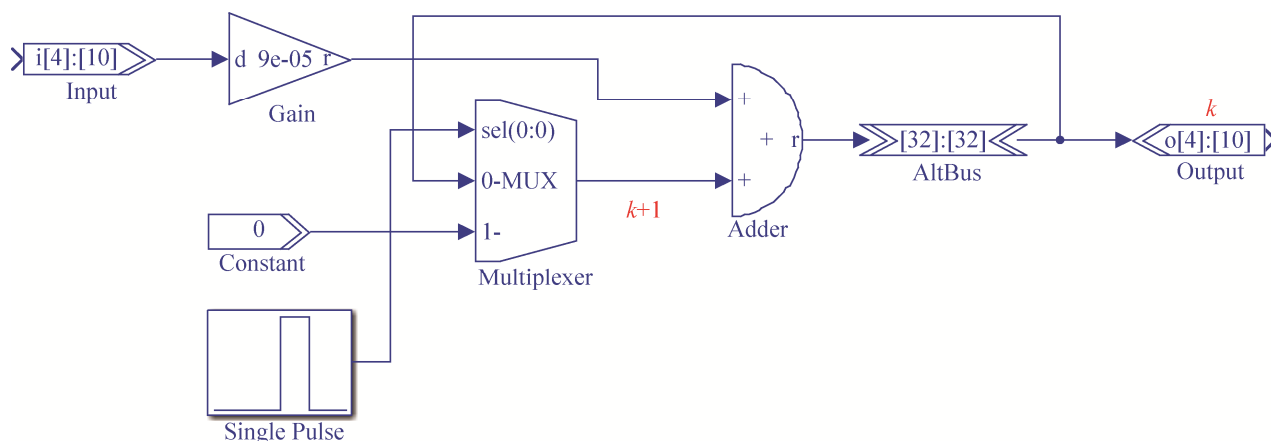


图 8 数字积分器电路模块  
Fig. 8 Digital integrator circuit model

(1) 电路模块组成: 数字积分器模块电路由 Input, Gain, Constant, Signal Pulse, Multiplexer, Adder, AltBus, Output 模块组成, 这些模块均来自 Matlab/Simulink 中的 DSP Builder 模块库。

(2) 电路模块功能: Input 和 Output 分别为输入和输出模块, Constant 是常数模块, 可以设置数字积分器的初始值。Gain 是增益模块, 可以调整数字积分器的采样频率 ( $f = 1/\Delta t$ )。Multiplexer 是数据选择器, 可以实现数据的迭代运算, 将系统  $k$  次输出的值返回至输入端, 得到  $k+1$  次输出的值。Single Pulse 是冲击信号发生器, 可以产生稳定的 0/1 比特流数据, 为数字积分器的迭代运算提供基准时钟。Adder 和 AltBus 分别为加法器模块和总线模块。

### 3.3 忆阻混沌电路的 DSP Builder 实现

利用该数字积分器电路与其他运算模块, 本文设计了 3.1 节描述的数字忆阻混沌电路如图 9 所示。其中电路采用 5 个数字积分器模块来实现方程中的五阶差分方程组, 具体的模块参数及设计步骤如下:

(1) 忆阻混沌电路的初始状态值  $(x_0, y_0, z_0, \omega_0, \mu_0) = (0.001, 0.01, 0, 0, 0)$  通过 Constant 模块依次引入 5 个数据选择器的输入端口;

(2) Signal Pulse 模块为整个电路系统提供时钟

源, 保证了数据的稳定性和运算的同步性;

(3) Product 是乘法器模块, 二端口输入, 可进行数乘运算和二次项相乘运算, 使用从信号源继承的隐式输入端口数据宽度;

(4) 由于 Output 模块中设置的输出位数是有限的, 那么在前级的乘法器模块中需要反复测试乘法器有效位数, 以保障设置的乘法器模块位数同时满足系统的运算精度和尽可能少占用硬件资源 2 个要求;

(5) 相应地, 在 AltBus 模块中, 数据类型设置为 Signed Fractional, 整数部分设置 4 位, 小数部位设置 25 位;

(6) 考虑到具体硬件系统中选取的 DA 芯片转换精度为 14 位, 在不影响系统输出精度的前提下, Output 模块整数部位设置 4 位, 小数部位设置 10 位;

(7)  $x, y, z, \omega, \mu$  分别对应为整个电路系统的 5 个输出端口, 选定其中 2 个信号接入 XY Graph(图示意)模块运行仿真后, 得到如图 10 所示混沌相图。

对比图 10 和图 3 可知, 通过 DSP Builder 平台设计的忆阻混沌电路仿真得到的混沌相图和通过 Matlab 数值仿真得到的相图基本一致, 从算法层面上验证了 FPGA 实现忆阻混沌系统的可能性。

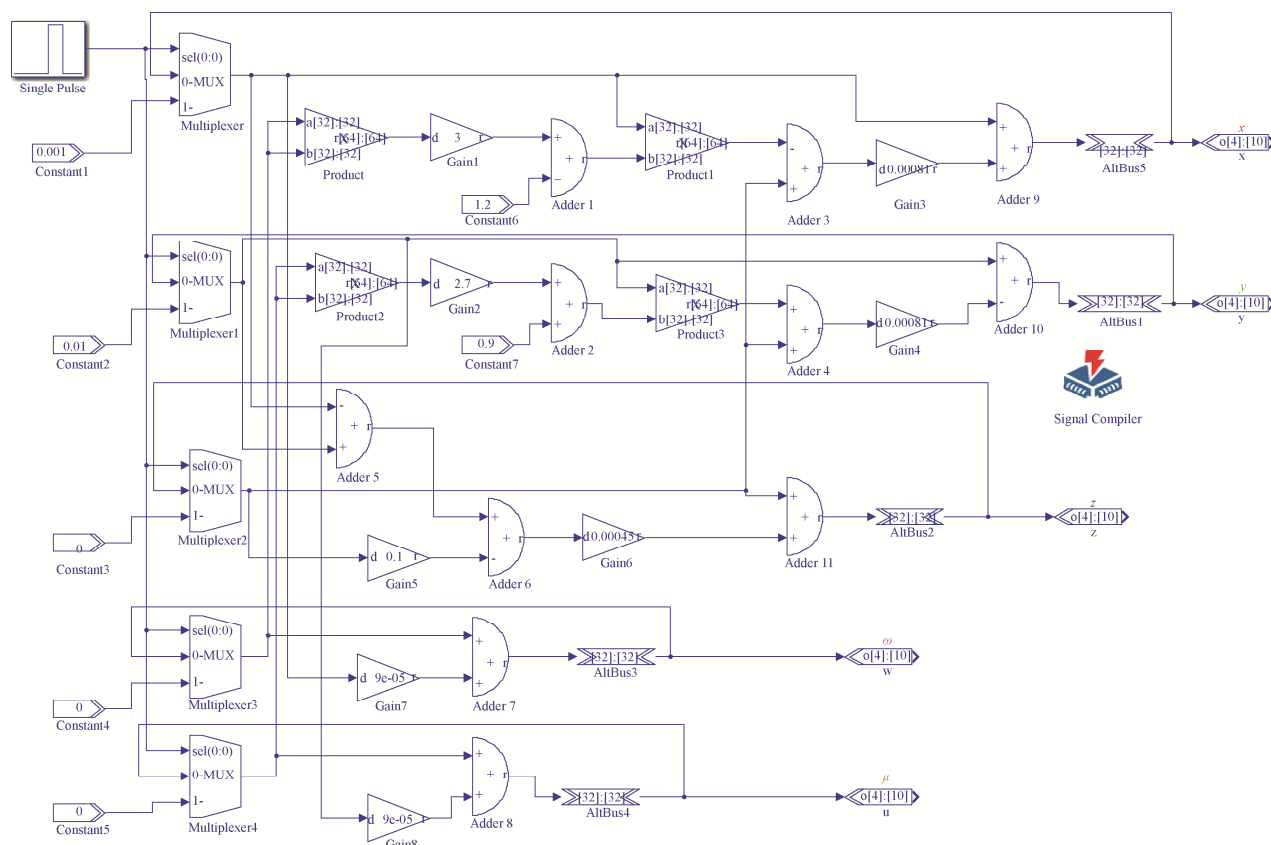


图 9 忆阻混沌电路的 DSP Builder 实现

Fig. 9 DSP Builder implementation of memristive chaotic circuit

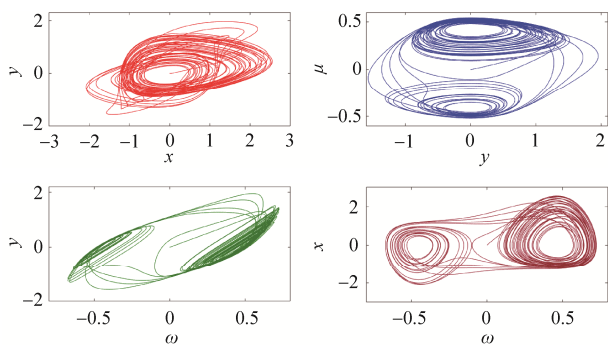


图 10 数字电路仿真的混沌相图

Fig. 10 Chaotic phase diagram of digital circuit simulation

## 4 忆阻混沌电路的 FPGA 电路实现

### 4.1 顶层文件设计

使用 SignalCompiler 模块对 DSP Builder 设计的忆阻混沌电路进行分析和综合, 并用 Modelsim 进行 RTL 级功能仿真后, 得到 VHDL 语言生成的 Quartus II 原理图子模块。基于该子模块, 结合相应的硬件资源和软件编程, 在 FPGA 上设计了忆阻

混沌电路硬件电路。图 11 为该电路原理图, 具体由如下几个部分组成:

(1) 主芯片型号: 本文采用的 FPGA 主芯片是 Cyclone IV E 系列, 型号为 EP4CE10F17C8N。

(2) 主芯片技术参数: 该芯片内核所需供电电压为 1.2 V, 拥有 10 k 逻辑单元, 两个独立锁相环, 180 个用户 I/O 引脚, 423 936 bit 嵌入式 RAM, 46 个 9 位嵌入硬件乘法器, 采用 JTAG 接口将配置数据烧写到 FPGA 芯片中。

(3) Memristor\_GN 模块: Memristor\_GN 模块是使用 SignalCompiler 工具对 DSP Builder 设计的忆阻混沌电路进行分析和综合产生的电路原理图模块。Clock 和 Rst\_n 为时钟输入引脚和复位引脚, 分别连接 Clk 信号和 Rst\_n 信号。x, y, z, u, v 引脚分别对应为图 9 中各阶向量输出端口, 均与 14 位数据数总线相连。通过 SignalTap II 逻辑分析仪抓取 Clock 信号和 x, y, z, u, v 信号, 得到如图 12 所示的

实时工作波形,可以发现,图中输出序列随机且无规律,体现了系统复杂的混沌特性。

(4) PLL 模块: PLL 即相位锁定环路,也称为锁相环。由于开发板的外接晶振为 50 MHz,为使 DA 芯片 AD9767 工作在高速状态下,必须将其倍频到 100 MHz。我们调用了 Intel FPGA 提供的 PLL IP 核,将其内嵌到 FPGA 芯片硬件电路中,如图 11 中的 PLL 模块。inclk0 为 PLL 时钟输入引脚,和 Clk(50 MHz)相连,c0 为 PLL 输出引脚,输出频率 100 MHz。

(5) F\_Div 模块: F\_Div 是分频器模块,为 Memristor\_GN 模块提供时钟信号。Clock 为 F\_Div

模块时钟输入引脚,和 Clk(50 MHz)相连,Rst\_n 为复位引脚,与外部复位按键相连,q 为分频器输出引脚,与后级时钟输入引脚相连。Memristor\_GN 模块内部进行着复杂的五阶差分运算和浮点运算,为了提高系统的运算速度且不影响硬件性能,经过反复测试,本文设置分频器输出为 1 MHz,即分频器设置 50 分频。分频器内部定义了一个 6 位的寄存器变量 count\_1M,当其计数到 50 次,q 发生一次反转,实现分频信号输出。通过 SignalTap II 逻辑分析仪抓取 Clk 和 count\_1M[5]信号,得到如图 13 所示的实时工作波形,可见 count\_1M[5]正好是 Clk 的 50 分频。

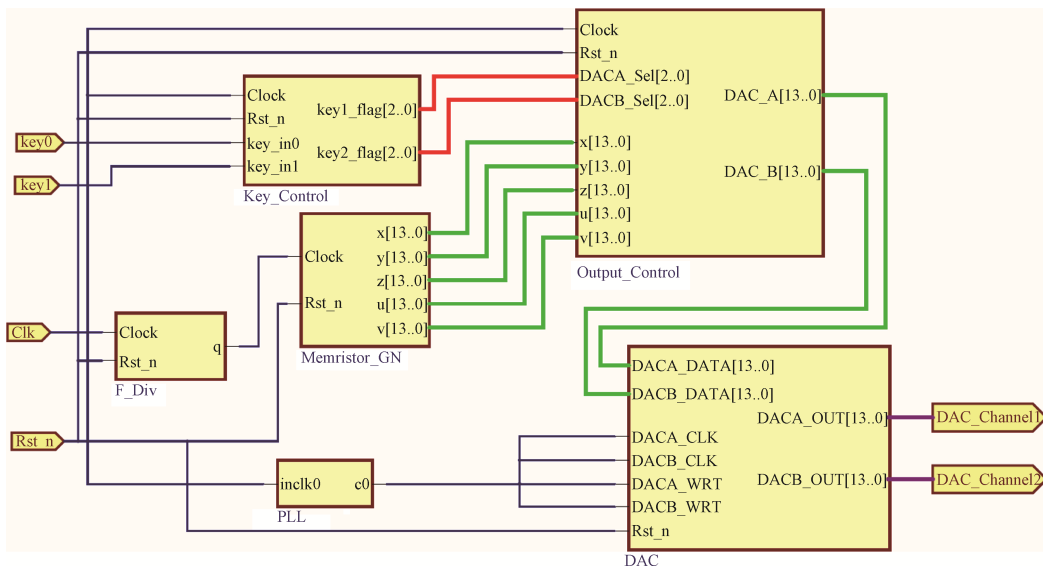


图 11 忆阻混沌电路 FPGA 实现电路原理图

Fig. 11 Circuit schematic diagram of memristive chaos circuit implemented by FPGA

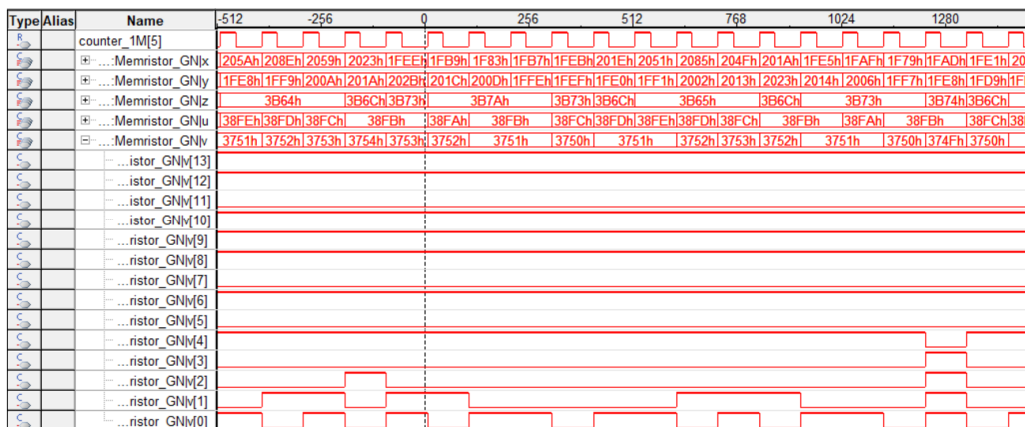


图 12 Memristor\_GN 模块的 SignalTap II 输出波形

Fig. 12 Output waveform of Memristor\_GN model in SignalTap II



图 13 F\_Div 模块的 SignalTap II 输出波形

Fig. 13 Output waveform of F\_Div model in SignalTap II

(6) Key\_Control 模块: Key\_Control 为按键控制模块, key\_in0, key\_in1 均为按键输入引脚, 分别连接外部物理按键 key1 和 key2, key1\_flag, key2\_flag 为 2 个按键状态输出引脚, 均与 3 位数据总线相连。Key\_Control 模块不断扫描外部按键的状态, 当检测到按键按下时, 更新相应按键状态标志, 并将结果输出至下级模块。

(7) Output\_Control 模块: DACA\_Sel 和 DACB\_Sel 引脚为输出控制引脚, 分别与 Key\_Control 模块中的 key1\_flag, key2\_flag 相连。根据按键状态从五路输入信号中选择两路信号输出至 DAC\_A、DAC\_B 引脚。

(8) DAC 模块: 为了提高数字系统输出精度, 本系统采用一款高性能高速双通道 DAC 芯片 AD9767。该芯片具有单电源 5 V 供电输入, 双通道数字转模拟信号输出, 每个通道数据分辨率为 14 位, 输出电压范围  $\pm 5$  V, 且转换速率高达 125 Msps。DAC 模块是 AD9767 模块的驱动电路, DACA\_DATA 和 DACB\_DATA 为 DAC 模块的 14 位数据输入引脚, DACA\_CLK, DACB\_CLK, DACA\_WRT, DACB\_WRT 引脚分别为 DAC 模块的 A/B 通道时钟信号和写控制信号, 均连接 PLL 模块的 c0 引脚。DACA\_OUT, DACB\_OUT 为 DAC 模块的 A/B 通道输出引脚, 分别连接外部引脚 DAC\_Channel1, DAC\_Channel2。经 DAC 模块驱动可以把输入的两路数字信号转换成两路模拟信号并输出至外部引脚。

## 4.2 忆阻器模型与 FPGA 芯片接口

Clk 接 50 MHz 时钟信号为整个 FPGA 系统提供基准时钟, Clk 经 F\_Div 模块分频后输出 1 MHz 的时钟信号送入 Memristor\_GN 模块的 Clock 端口, 为 Memristor\_GN 模块提供时钟信号。Clk 经 PLL

模块后, 锁相环倍频输出 100 MHz 的时钟信号送入 DAC 模块的 DACA\_CLK, DACB\_CLK, DACA\_WRT, DACB\_WRT 端口, 为 AD9767 芯片提供高速驱动时钟信号。Memristor\_GN 模块将忆阻混沌电路产生的五路 14 位输出信号送至 Output\_Control 模块的 5 个输入端口, Output\_Control 模块通过 Key\_Control 模块检测外部按键状态有选择性的控制两路输出信号至 DAC 模块。DAC 模块经由驱动程序将两路输入的数字信号转换为两路模拟信号分别输出至 DAC\_Channel1 和 DAC\_Channel2 引脚。Rst\_n 引脚接外部复位按键, 为整个 FPGA 系统提供复位信号。DAC\_Channel1 和 DAC\_Channel2 引脚分别接入示波器的通道 1 和通道 2 输入端口, 图 14 为 FPGA 开发板与示波器连接图, 本文选取的示波器型号为 ATEN 公司的 ADS1062CEL。

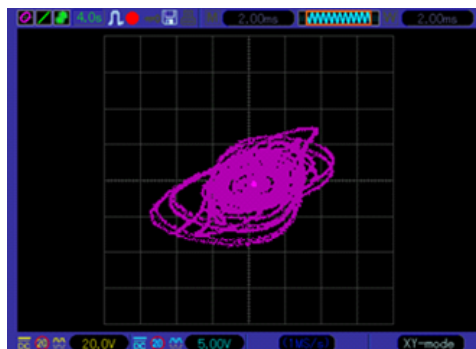


图 14 FPGA 开发板与示波器连接的运行效果图

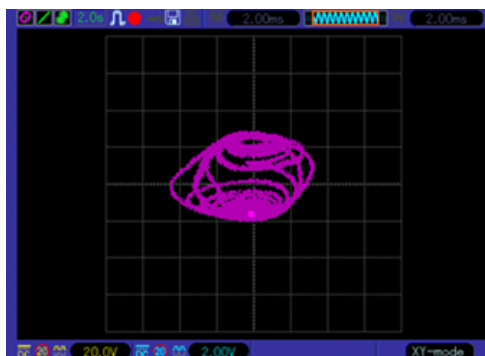
Fig. 14 Running effect diagram of connection between FPGA development board and oscilloscope

## 4.3 实验结果与分析

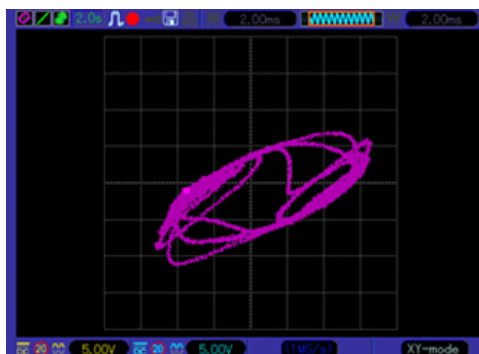
将 Quartus II 工程编译生成的 .sof 文件通过 JTAG 接口下载到 FPGA 开发板中, 对开发板重新上电运行后, 通过按键切换不同的输出信号, 观察到示波器显示的混沌相图如图 15 所示。



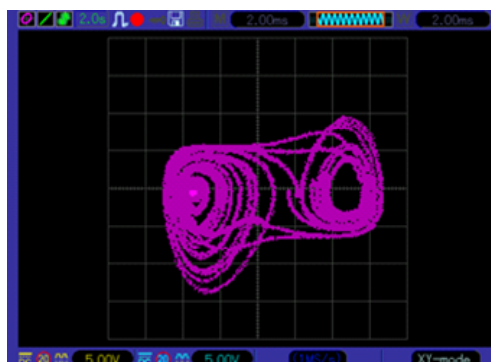
(a)  $x - y$  平面



(b)  $y - \mu$  平面



(c)  $\omega - y$  平面



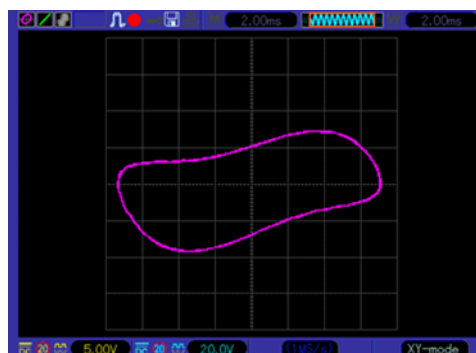
(d)  $\omega - x$  平面

图 15 FPGA 硬件设计下示波器显示的平面相图  
Fig. 15 Plane phase diagram of oscilloscope under FPGA hardware design

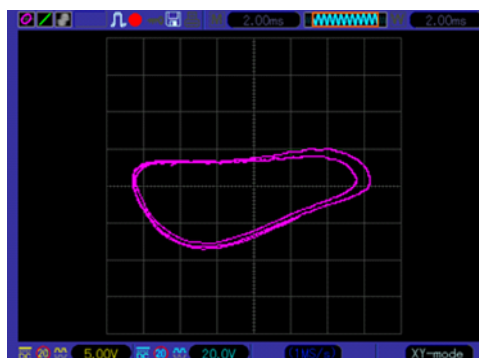
可以发现：

(1) 示波器显示的 FPGA 电路运行结果与图 10 所示硬件仿真结果轨迹相当吻合，产生的混沌吸引子清晰，各相图轨迹蕴含着复杂动力学特性。

(2) 为了验证系统依赖电路参数的动力学特性固定电路参数  $\beta = 9$ ， $\gamma = 5$ ， $R = 0.1$ ，分别取  $\alpha = 8.21$  和  $\alpha = 8.26$ ，重新调整程序下载到 FPGA 开发板中，示波器显示系统产生周期轨道如图 16 所示，其中图 16(a) 为周期一极限环 ( $\alpha = 8.21$ )，图 16(b) 为周期二极限环 ( $\alpha = 8.26$ )。可见，硬件运行结果与 2.3 节理论仿真一致。



(a)  $\alpha = 8.21$



(b)  $\alpha = 8.26$

图 16 示波器显示的不同电路参数  $\alpha$  系统的  $\omega - x$  平面相轨迹图

Fig 16 Oscilloscope display of  $\omega - x$  plane with different parameters of system

(3) 图 15 显示的相图曲线存在着细微的毛糙，主要由于本文选取的 FPGA 芯片和 DA 芯片在性能上具有一定的局限性。采用性能更优越的 FPGA 芯片和 DA 芯片以提高对忆阻混沌电路的采样率和 DA 转换精度，或者在 FPGA 开发板的

输出级外接一个滤波器, 可以使混沌轨迹更加平滑、稳定。

(4) 如果要更改电路初始条件或者电路参数来实现不同的混沌系统, 只需修改 DSP Builder 设计的数字电路参数, 但输入、输出的端口信号名不能改, 因为端口信号的引脚在 FPGA 芯片中已经锁定, 重新修改可能会将之前设置的引脚全部冲掉。

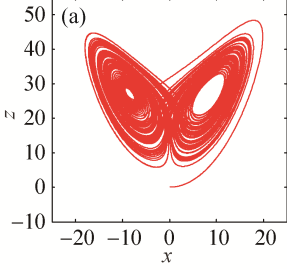
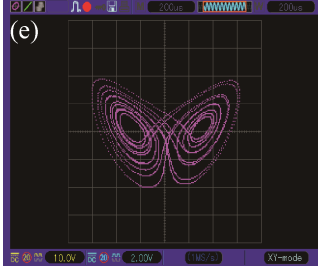
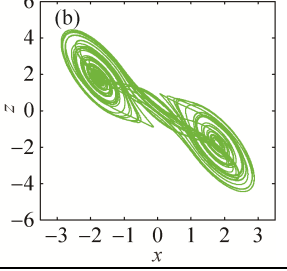
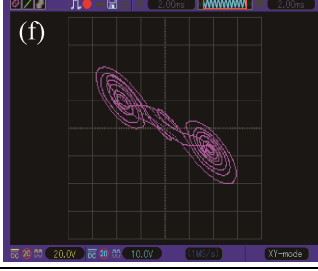
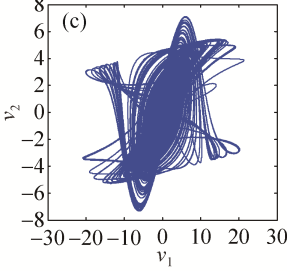
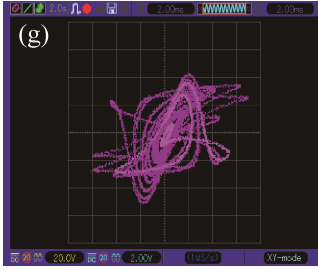
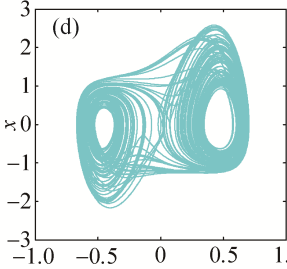
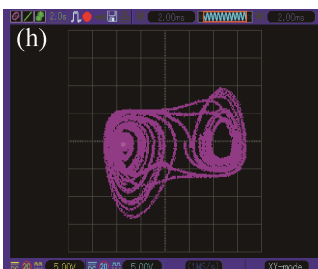
(5) 本文设计的五阶忆阻数字化混沌电路, 经 FPGA 技术物理实现后, 硬件电路能快速输出的大量的混沌序列且随机度很高, 可以作为混沌调制和

数字化密钥生成器, 可广泛应用到实时性高、可靠性要求强的工业控制、逻辑运算和安全通信领域中。

#### 4.4 离散化 FPGA 硬件设计的普适性实例

为体现本文提出的基于 FPGA 技术硬件设计方法具有一定的普适性, 我们分别选取了两个经典连续的混沌系统(Lorenz 系统和 Chua 系统), 以及文献[9]中含忆阻特性的动力学方程, 并结合本文提出的双磁控忆阻模型, 通过 MATLAB 数值计算与 FPGA 硬件设计进行比较, 实验结果见表 2。

表 2 经典混沌系统与忆阻混沌系统连续与离散设计结果比较

类别	实例/系统	非线性动力学方程	连续数值计算相图	离散数字化 FPGA 轨迹图
经典混沌系统	实例 1: Lorenz 系统	$\begin{cases} \dot{x} = 10(y - x) \\ \dot{y} = 28x - y - xz \\ \dot{z} = xy - 8z / 3 \end{cases}$		
	实例 2: Chua 系统	$\begin{cases} \dot{x} = 10[y - x - g(x)] \\ \dot{y} = x - y + z \\ \dot{z} = -14.87y \end{cases}$ $g(x) = m_0x + 0.5(m_1 - m_0) \times ( x + 1  -  x - 1 )$ $m_0 = -0.65, m_1 = -1.27$		
忆阻混沌系统	实例 3: 文献 [9]	$\begin{cases} \dot{v}_1 = \frac{1}{C_1} \left( \frac{v_2 - v_1}{R} - W(\phi)v_1 \right) \\ \dot{v}_2 = \frac{1}{C_2} \left( \frac{v_1 - v_2}{R} - i_L \right) \\ \dot{i}_L = \frac{v_2}{L} \\ \dot{\phi} = -\frac{v_1}{\zeta} \end{cases}$		
	实例 4: 本论文	$\begin{cases} \dot{x} = 9[z - W(\omega)x] \\ \dot{y} = -9[z + W(\mu)y] \\ \dot{z} = 5(y - x - 0.1z) \\ \dot{\omega} = x \\ \dot{\mu} = y \end{cases}$ $W(\omega) = -1.2 + 3\omega^2$ $W(\mu) = 0.9 + 2.7\mu^2$		

实例 1: Lorenz 系统的 FPGA 硬件实现。

Lorenz 方程从确定的方程中发现了非周期混沌现象的非线性动力学系统, 三维一阶偏微分方程展示了大气热对流长期不可预测气象的“蝴蝶效应”。

数值计算实验中选择初始状态为(0.1, 0.1, 0.1),  $x-z$  变量相图仿真结果如表 2 中图(a)所示; FPGA 硬件数字积分器的采样频率选择  $f=100\text{Hz}$ ,  $x-z$  变量离散数字化后, 示波器显示结果如表 2 中图(e)所示。

实例 2: Chua 系统的 FPGA 硬件实现。

Chua 电路由基本电子元器件组成, 作为一个准确的电路理论模型及简单的物理可实现的系统, Chua 方程中非线性函数(实验中是非线性二极管电阻)的设计显示出双涡旋的“混沌吸引子”。

数值计算实验中选择初始状态为(0.1, 0.1, 0.1),  $x-z$  变量相图仿真结果如表 2 中图(b)所示; FPGA 硬件数字积分器的采样频率选择  $f=1\text{kHz}$ ,  $x-z$  变量离散数字化后, 示波器显示结果如表 2 中图(f)所示。

实例 3: 文献[9]系统的 FPGA 硬件实现。

本文选择了文献[9]中的一个单磁控忆阻器作为对比案例, 文献[9]中是将一个磁控忆阻器代替 Chua 电路中的非线性二极管电阻, 并用模拟电路物理上实现了所设计的四维模型的混沌现象, 且验证忆阻性质的存在性。

数值计算实验中选择初始状态为(0, 0.1, 0.1, 0),  $v_1-v_2$  变量相图仿真结果如表 2 中图(c)所示; FPGA 硬件数字积分器的采样频率选择  $f=20\text{MHz}$ ,  $v_1-v_2$  变量离散数字化后, 示波器显示结果如表 2 中图(g)所示。

实例 4: 本论文的 FPGA 硬件实现。

本文是在经典 Chua 混沌电路基础上, 构建了模型结构不同双磁控忆阻器, 形成了一个五维非线性混沌电路, 并通过一维离散化变换将连续忆阻模型进行数字化处理, 同时在 FPGA 硬件电路上实现, 数字系统输出精度可达到 14 位。

数值计算实验中选择初始状态为(0.001, 0.01, 0, 0, 0),  $\omega-x$  变量相图仿真结果如表 2 中图(d)所示; FPGA 硬件数字积分器的采样频率选择  $f=10\text{kHz}$ ,  $\omega-x$  变量离散数字化后, 示波器显示结果如表 2 中图(h)所示。

综合上述的计算机连续仿真与硬件数字化对比可知: 本文的设计方法不仅能适用于常规连续混沌系统, 对于新型的忆阻电路也同样适用, 包括 Chua 系统中含分段线性函数也同样适用。

## 5 结论

本文将 2 个三次光滑模型磁控忆阻器引入三阶 Chua 混沌电路中, 构建出一个新型五阶忆阻混沌电路。定性分析了忆阻混沌电路平衡点集的不稳定区域分布, 并利用 Lyapunov 指数谱和分岔图研究了忆阻混沌电路在忆阻器不同初始状态和电路参数变化的复杂动力学行为。本文突破了利用分立元器件搭建忆阻混沌电路的传统方法, 采用 DSP Builder 开发工具将电路数字化实现, 结合 VHDL 和 Verilog HDL 硬件语言在 FPGA 芯片上完成整个电路系统的设计, 设计精度为 14 位。FPGA 电路运行结果表明该方法稳定可行, 适用于其它混沌系统或忆阻相类似数字电路的实现。同时, 系统架构设计体积小巧, 可灵活便捷进行不同混沌序列输出的快速切换, 具有电路参数和初值条件易于修改等优点, 在非线性和智能控制领域有着广泛的应用潜力。

## 参考文献:

- [1] Chua L O. Memristor-The missing circuit element[J]. IEEE Transactions on Circuit Theory (S1549-8328), 1971, 18(5): 507-519.
- [2] Wu R, Wang C. A new simple chaotic circuit based on memristor[J]. International Journal of Bifurcation and Chaos (S0218-1274), 2016, 26(9): 206-219.
- [3] Hu F W, Bao B C, Wu H G, et al. Equivalent circuit analysis model of charge-controlled memristor and its circuit characteristics[J]. Acta Physica Sinica (S1000-3290), 2013, 62(21): 401-416.
- [4] Strukov D B, Snider G S, Stewart D R, et al. The missing



- memristor found[J]. *Nature* (S0028-0836), 2008, 453(7191): 80-90.
- [5] Wang S, Wang X, Zhou Y, et al. A memristor-based hyperchaotic complex Lü system and its adaptive complex generalized synchronization[J]. *Entropy* (S1099-4300), 2016, 18(2): 58-60.
- [6] Bao B C, Hu W, Xu J P, et al. Analysis and implementation of memristor chaotic circuit[J]. *Acta Physica Sinica* (S1000-3290), 2011, 60(12): 1775-1785.
- [7] Kokate P P. Memristor-based chaotic circuit[J]. *IETE Technical Review* (S0256-4620), 2009, 26(6): 417-429.
- [8] Itoh M, Chua L O. Memristor oscillators[J]. *International Journal of Bifurcation and Chaos* (S0218-1274), 2008, 18(11): 3183-3206.
- [9] Muthuswamy B. Implementing memristor based chaotic circuits[J]. *International Journal of Bifurcation and Chaos* (S0218-1274), 2010, 20(5): 1335-1350.
- [10] Bao B C, Tao J, Wang G Y. Two-memristor-based Chua's hyperchaotic circuit with plane equilibrium and its extreme multistability[J]. *Nonlinear Dynamics* (S0924-090X), 2017, 89(2): 1157-1171.
- [11] Bao B C, Hu A H, Bao H, et al. Three-dimensional memristive Hindmarsh-Rose neuron model with hidden coexisting asymmetric behaviors[J]. *Complexity* (S1076-2787), 2018, 26(4): 1-11.
- [12] 洪庆辉, 曾以成, 李志军. 含磁控和荷控两种忆阻器的混沌电路设计与仿真[J]. *物理学报*, 2013, 62(23): 23052-23059.
- Hong Qinghui, Zeng Yicheng, Li Zhijun. Design and Simulation of memristive chaotic circuits with flux-controlled memristor and charge-controlled memristor[J]. *Acta Phys. Sin.*, 2013, 62(23): 23052-23059.
- [13] Rajagopal K, Karthikeyan A, Srinivasan A. Dynamical analysis and FPGA implementation of a chaotic oscillator with fractional-order memristor components[J]. *Nonlinear Dynamics* (S0924-090X), 2017, 91(5): 1-22.
- [14] Xu Y M, Wang L D, Duan S K. A memristor-based chaotic system and its field programmable gate array implementation[J]. *Acta Physica Sinica* (S1000-3290), 2016, 65(12): 156-160.
- [15] Bao B C, Liu Z, Xu J P. Dynamical analysis of memristor chaotic oscillator[J]. *Acta Physica Sinica* (S1000-3290), 2010, 59(6): 3785-3793.
- [16] Alombah N H, Fotsin H, Ngouonkadi E B M, et al. Dynamics, Analysis and Implementation of a Multiscroll Memristor-Based Chaotic Circuit[J]. *International Journal of Bifurcation & Chaos* (S0218-1274), 2016, 26(8): 165-178.
- [17] Wang W, Wang G, Wang X. Research on a chaotic circuit based on an active TiO<sub>2</sub> memristor[J]. *Systems Science & Control Engineering An Open Access Journal* (S2164-2583), 2014, 2(1): 740-744.
- [18] 王忠林. 混沌吸引子及 FPGA 实现[J]. *计算机工程与应用*, 2008, 44(36): 85-86.
- Wang Zhonglin. Chaotic attractor and FPGA implementation[J]. *Computer Engineering and Applications*, 2008, 44(36): 85-86.
- [19] 李亚安. 混沌吸引子的 DSP Builder 设计方法[J]. *探测与控制学报*, 2009, 31(6): 60-63.
- Li Yaan. DSP Builder design method for chaotic attractor [J]. *Journal of Detection & Control*, 2009, 31(6): 60-63.
- [20] 邵书义, 闵富红, 吴薛红, 等. 基于现场可编程逻辑门阵列的新型混沌系统实现[J]. *物理学报*, 2014, 63(6): 060501.
- Shao Shuyi, Min Fuhong, Wu Xuehong, et al. Implementation of a new chaotic system based on field programmable gate array[J]. *Acta Phys. Sin.*, 2014, 63(6): 060501.
- [21] 许雅明, 王丽丹, 段书凯. 磁控二氧化钛忆阻混沌系统及现场可编程逻辑门阵列硬件实现[J]. *物理学报*, 2016, 65(12): 120503.
- Xu Yaming, Wang Lidan, Duan Shukai. A memristor-based chaotic system and its field programmable gate array implementation[J]. *Acta Phys. Sin.*, 2016, 65(12): 120503.
- [22] 张建广, 康守强, 纪斌, 等. 单片机和 FPGA 实现的多混沌吸引子切换系统[J]. *计算机工程与应用*, 2014, 50(18): 70-74.
- Zhang Jianguang, Kang Shouqiang, Ji bin, et al. Multi-chaotic Attractor switching system based on single Chip computer and FPGA[J]. *Computer Engineering and Applications*, 2014, 50(18): 70-74.
- [23] Chua L O. Everything You Wish to Know About Memristors But Are Afraid to Ask[J]. *Radioengineering* (S1210-2512), 2015, 24(2): 319-368.
- [24] Chua L O. If it's pinched it's a memristor [J]. *Semiconductor Science and Technology* (S0268-1242), 2014, 29: 104001.