

6-14-2018

## New Phase-lock Method for Tracking Low-voltage Ride-through on Photovoltaic Inverters

Bobo Li

1\ Xi'an Jiaotong University City College, Xi'an 710018, China;;2 Institute of advanced manufacturing technology,School of mechanical engineering, Xi 'an jiaotong university, Xi'an 710049, China;

Shouzhi Li

1\ Xi'an Jiaotong University City College, Xi'an 710018, China;;

Yanxiao Zhang

1\ Xi'an Jiaotong University City College, Xi'an 710018, China;;

Follow this and additional works at: <https://dc-china-simulation.researchcommons.org/journal>



Part of the Artificial Intelligence and Robotics Commons, Computer Engineering Commons, Numerical Analysis and Scientific Computing Commons, Operations Research, Systems Engineering and Industrial Engineering Commons, and the Systems Science Commons

---

This Original Article is brought to you for free and open access by Journal of System Simulation. It has been accepted for inclusion in Journal of System Simulation by an authorized editor of Journal of System Simulation.

---

# New Phase-lock Method for Tracking Low-voltage Ride-through on Photovoltaic Inverters

## Abstract

**Abstract:** The low-voltage ride-through in photovoltaic power generation is a key problem for photovoltaic inverters connected to grid. Aiming at the frequency- and phase-locking of low-voltage ride-through on the photovoltaic inverter during asymmetric fault on the grid and using positive and negative sequence separation, a dual second-order generalized integral frequency- and phase-locking algorithm (DSOGI-FLL-PLL) is proposed, and a simple FLL is used so that positive and negative sequence separation can be performed for various frequencies. The conventional phase-lock-loop (PLL) is also used to capture the grid-side voltage, which greatly reduces response time and error of PLL during asymmetric faults on the grid. *Simulation results show that this method, when applied to track low-voltage ride-through on photovoltaic inverter connected to grid, can save about two third of the frequency-lock and phase-lock response time.*

## Keywords

photovoltaic power, fast phase lock, second-order generalized integrator (DSOGI), low voltage ride-through (LVRT)

## Recommended Citation

Li Bobo, Li Shouzhi, Zhang Yanxiao. New Phase-lock Method for Tracking Low-voltage Ride-through on Photovoltaic Inverters[J]. Journal of System Simulation, 2018, 30(6): 2328-2334.

# 光伏并网发电低电压穿越的一种新锁相方法

李波波<sup>1,2</sup>, 李守智<sup>1</sup>, 张艳肖<sup>1</sup>

(1、西安交通大学城市学院, 陕西 西安 710018; 2、西安交通大学机械学院先进制造技术研究所, 陕西 西安 710049)

**摘要:** 光伏发电的低电压穿越问题, 是光伏并网逆变器的一个关键问题。针对电网不对称故障下光伏逆变器低电压穿越的锁频锁相问题, 基于双二阶广义积分(DSOGI)算法的正负序分离思想, 提出一种快速的双二阶广义积分锁频锁相(DSOGI-FLL-PLL)方法。利用一种简洁的 FLL 锁频为正负序分离提供频率适应性, 同时运用传统锁相环对电网侧电压锁相, 可以有效减小不对称故障时的锁相环的响应时间和锁相误差。仿真结果表明: 将该方法用来处理光伏逆变器的低电压穿越问题, 可以节省约 2/3 的锁频锁相响应时间。

**关键词:** 光伏发电; 快速锁相; 二阶广义积分(DSOGI); 低电压穿越

中图分类号: TP29 文献标识码: A 文章编号: 1004-731X (2018) 06-2328-07

DOI: 10.16182/j.issn1004731x.joss.201806041

## New Phase-lock Method for Tracking Low-voltage Ride-through on Photovoltaic Inverters

Li Bobo<sup>1,2</sup>, Li Shouzhi<sup>1</sup>, Zhang Yanxiao<sup>1</sup>

(1、Xi'an Jiaotong University City College, Xi'an 710018, China 2 Institute of advanced manufacturing technology, School of mechanical engineering, Xi'an jiaotong university, Xi'an 710049, China)

**Abstract:** The low-voltage ride-through in photovoltaic power generation is a key problem for photovoltaic inverters connected to grid. Aiming at the frequency- and phase-locking of low-voltage ride-through on the photovoltaic inverter during asymmetric fault on the grid and using positive and negative sequence separation, a dual second-order generalized integral frequency- and phase-locking algorithm (DSOGI-FLL-PLL) is proposed, and a simple FLL is used so that positive and negative sequence separation can be performed for various frequencies. The conventional phase-lock-loop (PLL) is also used to capture the grid-side voltage, which greatly reduces response time and error of PLL during asymmetric faults on the grid. *Simulation results show that this method, when applied to track low-voltage ride-through on photovoltaic inverter connected to grid, can save about two third of the frequency-lock and phase-lock response time.*

**Keywords:** photovoltaic power; fast phase lock; second-order generalized integrator (DSOGI); low voltage ride-through (LVRT)

## 引言

在电网故障情况下的“低电压穿越”能力是电

网对光伏并网发电的一个重要要求。锁相环(PLL)技术作为实现“低电压穿越”控制的一种重要方法, 如何在不对称电网故障情况下, 快速、准确地实现锁频锁相, 则是光伏发电逆变器实现“低电压穿越”控制的一个关键和难点问题<sup>[1]</sup>。

传统的单坐标系环软件锁相环 (software phase-locked loop, SPLL) 及改进型 SPLL 方法具有



收稿日期: 2016-07-26 修回日期: 2016-11-16;  
基金项目: 国家高科技研究发展计划(863 计划)  
(2015AA050606);

作者简介: 李波波(1978-), 女, 浙江宁波, 博士生, 讲师, 研究方向为电力电子及电气传动。

<http://www.china-simulation.com>

• 2328 •

比较好的频率适应性<sup>[2]</sup>,但其环路滤波需求与响应速度相互矛盾,在电网严重不平衡情况下,会导致锁相性能变差。针对以上问题,不少学者研究提出了不少方法。文献[3]提出了基于陷波器的单同步坐标系(single synchronous reference frame, SSRF)锁相环方案,虽然能够良好的进行锁相,但是由于陷波器缺乏频率适应性,系统频率变化后锁相效果会变差。文献[4-5]提出一种采用双同步坐标系(double synchronous reference frame, DSRF)锁相,可以在实现电网不平衡情况下锁相的同时,实现正负序分量的分离,但是需要 4 个低通滤波器,比较复杂,影响系统响应速度。文献[6]提出的采用基于双二阶广义积分的 DSOGI-PLL 方法,可以实现具有频率自适应的正负序分离及锁相,较好应对电网不平衡情况的锁频锁相,但是频率闭环需经  $2/s/2r$  变换以及两个积分器,响应速度会受

到一定影响。本文基于双二阶广义积分的思想,对锁相的具体实现方法进行改进,提出一种用于电网不对称故障下的 DSOGI-FLL-PLL 锁相及正负序分离方法,即,利用一种简洁的锁频环(frequency-locked loop, FLL)方式为正负序分离提供频率适应性,同时运用传统三相锁相环对网侧电压进行锁相。仿真结果表明,将该方法应用于光伏并网逆变器的不对称故障下的低电压穿越问题处理中,不仅具有较好的快速性,也具有良好的频率适应性。

## 1 DSOGI-FLL-PLL 锁频锁相原理

采用 DSOGI-FLL-PLL 锁相环技术的光伏并网发电逆变系统原理图如图 1 所示。系统组成与采用 DSOGI-PLL 方法并无二致,核心在于锁相环控制部分的不同。

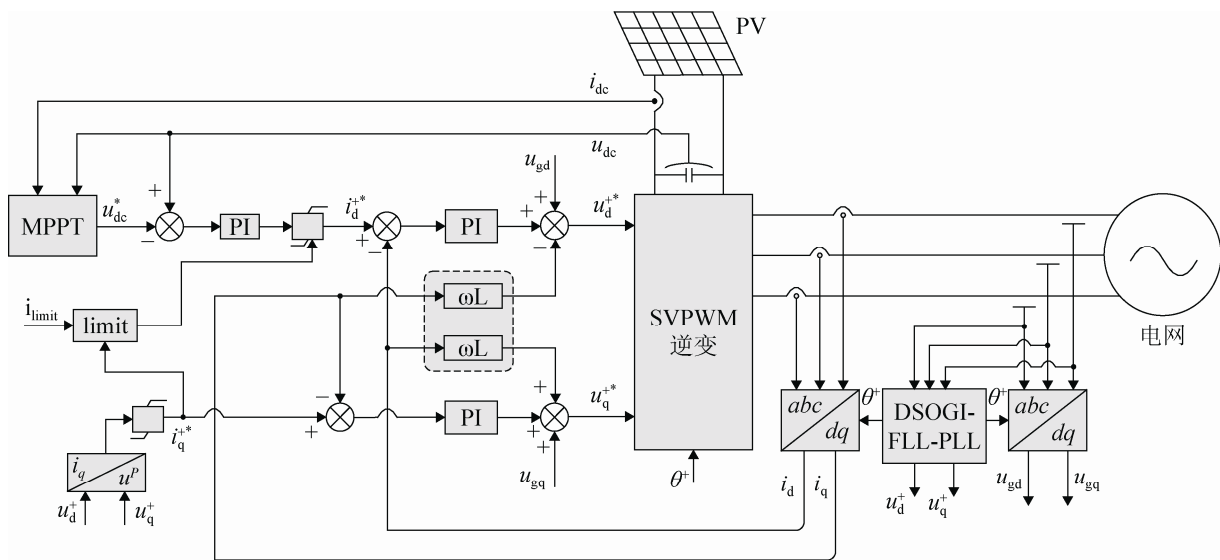


图 1 DSOGI-FLL-PLL 光伏并网发电系统原理图

Fig. 1 Schematic diagram of DSOGI-FLL-PLL photovoltaic grid-connected power system

为了便于了解 DSOGI-FLL-PLL 与文献[6]所提方法的区别,有必要简要介绍一下 DSOGI-PLL 方法。

假设网侧三相电压为  $\mathbf{V}_{abc} = [v_a \ v_b \ v_c]^T$ , 根据瞬时对称分量法原理<sup>[7]</sup>, 三相电压  $\mathbf{V}_{abc}$  可以分离为正序电压分量  $\mathbf{V}_{abc}^+$ 、负序分量  $\mathbf{V}_{abc}^-$  以及零序分量。由于三相零序分量相等,采用锁相算法时,零

序在经  $3/2$  转换到  $\alpha\beta$  轴时将会为 0,不会影响后续两相坐标系下的锁相算法;另外,由于光伏电站一般为三相三线,无零序电流通道,故零序分量可不予考虑。因此,三相电压  $\mathbf{V}_{abc}$  的瞬时值可以进行如式(1)所示的分离。

$$\begin{aligned} \mathbf{V}_{abc}^+ &= [v_a^+ \ v_b^+ \ v_c^+]^T = [T_+] \mathbf{V}_{abc} \\ \mathbf{V}_{abc}^- &= [v_a^- \ v_b^- \ v_c^-]^T = [T_-] \mathbf{V}_{abc} \end{aligned} \quad (1)$$

其中 $[T_+]$ ,  $[T_-]$ 分别为:

$$[T_+] = \frac{1}{3} \begin{bmatrix} 1 & a & a^2 \\ a^2 & 1 & a \\ a & a^2 & 1 \end{bmatrix}; [T_-] = \frac{1}{3} \begin{bmatrix} 1 & a^2 & a \\ a & 1 & a^2 \\ a^2 & a & 1 \end{bmatrix}$$

$$a = e^{j\frac{2\pi}{3}} = -1/2 + e^{j\frac{\pi}{2}}\sqrt{3}/2$$

考虑到 abc 三相静止坐标系到两相  $\alpha\beta$  静止坐标系满足如下变换:

$$\mathbf{V}_{\alpha\beta} = [v_\alpha \ v_\beta]^T = [T_{\alpha\beta}] \mathbf{V}_{abc}$$

$$[T_{\alpha\beta}] = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \quad (2)$$

根据式(2)应用瞬时对称分量法可以得到  $\alpha\beta$  坐标系下正序及负序分量表达式:

$$\mathbf{V}_{\alpha\beta}^+ = [T_{\alpha\beta}] \mathbf{V}_{abc}^+ = [T_{\alpha\beta}] [T_+] \mathbf{V}_{abc} = \frac{1}{2} \begin{bmatrix} 1 & -q \\ q & 1 \end{bmatrix} \mathbf{V}_{\alpha\beta} \quad (3)$$

$$\mathbf{V}_{\alpha\beta}^- = [T_{\alpha\beta}] \mathbf{V}_{abc}^- = [T_{\alpha\beta}] [T_-] \mathbf{V}_{abc} = \frac{1}{2} \begin{bmatrix} 1 & q \\ -q & 1 \end{bmatrix} \mathbf{V}_{\alpha\beta} \quad (4)$$

式中:  $q = e^{-j\frac{\pi}{2}}$

采用二阶广义积分可以实现以上功能,其闭环算法 SOGI-QSG 框图如图 2 所示。

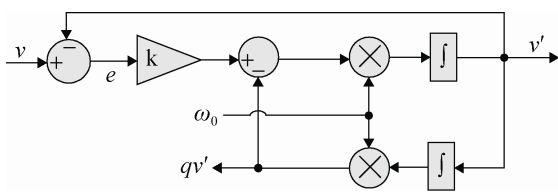


图2 SOGI-QSG  
Fig. 2 SOGI-QSG Diagram

其传递函数:

$$Y(s) = \frac{v'(s)}{v(s)} = \frac{k\omega_0 s}{s^2 + k\omega_0 s + \omega_0^2} \quad (5)$$

$$Z(s) = \frac{qv'(s)}{v(s)} = \frac{k\omega_0^2}{s^2 + k\omega_0 s + \omega_0^2} \quad (6)$$

由式(5)、(6)显见  $v'$  和  $qv'$  分别表现为带通和低通滤波特性,有利于抑制谐波的影响。阻尼系数由  $k$  决定,  $\omega_0$  为谐振频率。只要  $\omega_0$  与系统频率相

等,  $k$  值选择合适,  $v'$  始终为正弦信号,且与  $v$  相等;  $qv'$  始终滞后  $v'$  90 度。

为了让 SOGI-QSG 方法具有一定的频率适应性,文献[6]中利用传统三相 PLL 锁相环提供谐振频率  $\omega_0$ , 即 DSOGI-PLL 方式如图 3 所示。

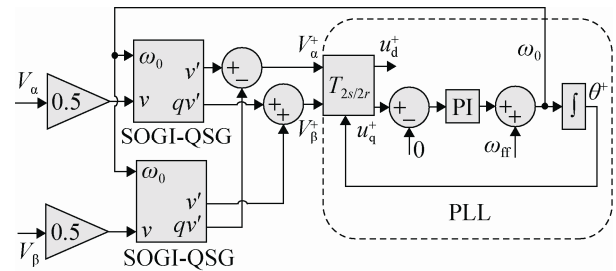


图3 DSOGI-PLL 算法框图  
Fig. 3 DSOGI-PLL Algorithm

以上就是 DSOGI-PLL 锁频锁相控制方法。由图 3 不难看出, DSOGI-PLL 方法的锁频需经过一次 PARK 转换和两个积分环节,影响其响应速度。

为了提高锁频响应速度,采用一种简洁的 FLL 锁频方法<sup>[1]</sup>,其算法如图 4 所示。

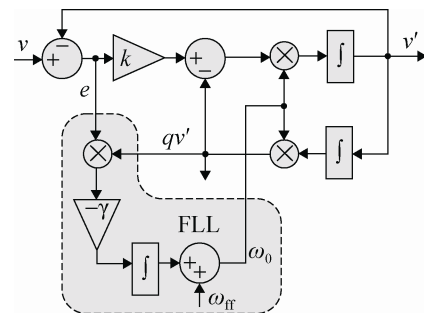


图4 FLL 锁频框图  
Fig. 4 Frequency lock loop (FLL)

图 4 中,  $\omega_{ref}$  为预设的角频率,误差  $e$  作为 FLL 输入变量,  $qv'$  为控制环的反馈量。当  $\omega_0$  锁定时,误差  $e$  控制为 0,  $v'$  与  $v$  相等。

得到正负序分量后,要获取电压相位,一种方式是在  $\alpha\beta$  坐标系开环方式,另一种方法是闭环方式,传统的三相软件锁相环 PLL 方式属于其中一种[8]。本文将方式应用于 DSOGI 中,以锁定正序相位。得到频率锁定的正负序分量后,还需要考虑正序相位。为此,再将 PLL 方式应用于 DSOGI 中,

以锁定正序相位。其正序矢量从  $\alpha\beta$  静止坐标系到 dq 旋转坐标系的变换公式如(7)。

$$\begin{aligned} \mathbf{V}_{dq}^+ &= [v_d^+ \ v_q^+]^T = [T_{2s/2r} \mathbf{V}_{\alpha\beta}^+; \\ [T_{2s/2r}] &= \begin{bmatrix} \cos \theta^+ & \sin \theta^+ \\ -\sin \theta^+ & \cos \theta^+ \end{bmatrix} \end{aligned} \quad (7)$$

实际合成矢量与 PLL 的 d 轴矢量相位夹角  $\phi^+ - \theta^+$ , 当夹角很小时有下式(8)。

$$\phi^+ - \theta^+ = \arctan \frac{v_\beta^+}{v_\alpha^+} - \theta^+ \approx \sin(\phi^+ - \theta^+) = v_\beta^+ \cos \theta^+ - v_\alpha^+ \sin \theta^+ \quad (8)$$

当 q 轴分量被控制为零时, 有  $\phi^+ = \theta^+$ , 相位即锁定。PLL 控制框图如图 5 所示。

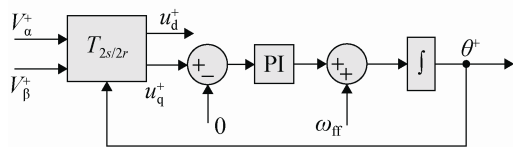


图 5 PLL 框图  
Fig. 5 Phase-lock-loop (PLL)

整合图 4-5, 可得整个正负序分离及锁频锁相算法框图如图 6 所示。

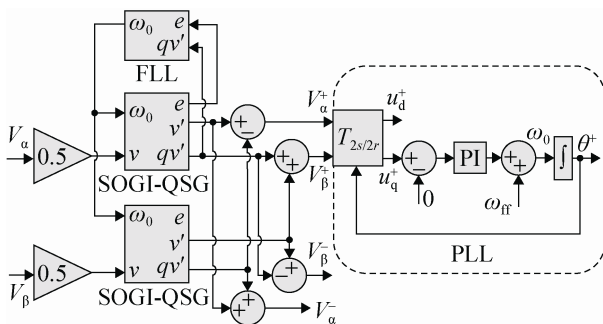


图 6 DSOGI-FLL-PLL 框图  
Fig. 6 DSOGI-based FLL and PLL

与图 3 相对比不难看出, DSOGI-FLL-PLL 不仅具备相同的锁频锁相功能, 并且锁频少经过两个积分环节, 有利于提高锁频锁相的响应速度。

## 2 不对称电网故障的 DSOGI-FLL-PLL 应用

设发生不对称电网故障时的电网电压矢量和

输出电流矢量在同步旋转坐标下为:

$$\begin{aligned} u_{dq} &= u_{dq}^+ + u_{dq}^- e^{j(\theta^- - \theta^+)} \\ i_{dq} &= i_{dq}^+ + i_{dq}^- e^{j(\theta^- - \theta^+)} \end{aligned} \quad (9)$$

按正序坐标系控制方式, 令负序电流  $i_d^- = 0$ ,  $i_q^- = 0$ ;  $i_d^{+*}$  由电压环给定, 根据德国中压电网接入导则<sup>[8]</sup>,  $i_q^{+*}$  可根据正序电压跌落幅度得出如式(10)。

$$\begin{cases} i_q^{+*} = 2i \times \Delta u / u \\ \Delta u = \sqrt{(u_q^+)^2 + (u_d^+)^2} - 310 \end{cases} \quad (10)$$

式(10)还考虑了在电压跌落时为电网提供无功支撑, 同时在电流环采取限幅措施, 使输出电流不过流。由式(10)可得到不对称电网故障时网侧正序电压指令:

$$\begin{aligned} u_d^{+*} &= k_p \left( 1 + \frac{1}{T_i} \right) (i_d^{+*} - i_d) - \omega L i_q + u_{gd} \\ u_q^{+*} &= k_p \left( 1 + \frac{1}{T_i} \right) (i_q^{+*} - i_q) + \omega L i_d + u_{gq} \end{aligned} \quad (11)$$

$u_{gd}$ ,  $u_{gq}$  为电网电压 dq 坐标系的分量, 包含正序及负序分量。

综合上述, 可得在不对称电网故障情况下, 施加 DSOGI-FLL-PLL 控制的三相光伏并网发电逆变器系统及其控制框图如图 1 所示。

## 3 仿真结果

### 3.1 DSOGI-FLL-PLL 锁相波形

首先将本文所提 DSOGI-FLL-PLL 方法, 利用 MATLAB, 与文献[6]所介绍的 DSOGI-PLL 进行了仿真对比, 以验证本文所提锁频锁相方式的快速性和频率适应性。

图 7 为电网发生不对称故障时 DSOGI-PLL 的锁频锁相仿真结果。图 7(c)为电网发生不对称故障时电网电压波形, 假设 0.11 秒时电网发生不对称故障, 伴随有谐波及频率突变, 其中 A 相网侧电压幅值跌为原来的 20%, B、C 相网侧电压幅值不变, 故障电压包含 3% 的 5 次谐波, 电网频率也由 50 Hz 也降至 30 Hz。仿真中 SOGI-QSG 及 FLL 中参数  $k=\gamma=1.41$ , PLL 中参数,  $k_p=5$ ,  $T_i=0.01$ 。

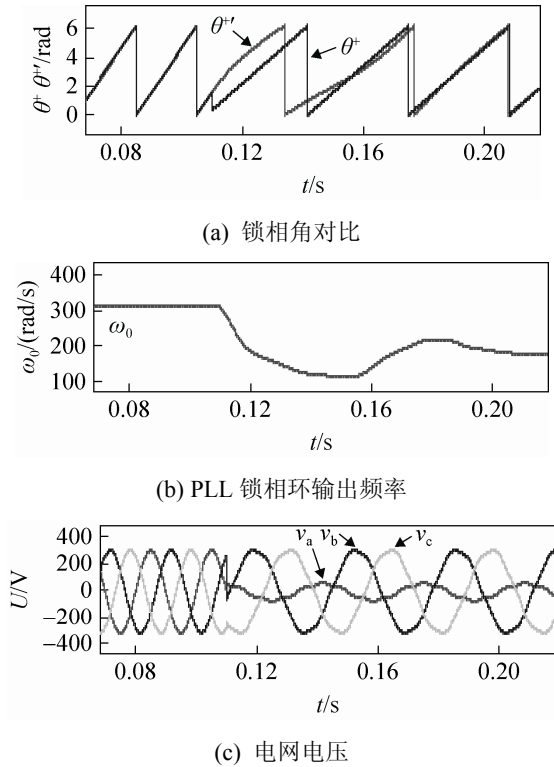


图7 不对称故障时 DSOGI-PLL 锁相方式波形  
Fig. 7 Response of DSOGI-PLL under asymmetric faults

图 7(a)中将锁相环锁出的相位  $\hat{\theta}$  与实际相位  $\theta$  进行对比,可见需经约 3 个周期相角  $\omega_0$  才基本锁定。图 7(b)中 PLL 锁相环的角频率  $\omega_0$  经过 3 个周期才达到稳定状态,动态响应速度欠佳。图 7(c)为电网发生故障时电网电压波形。

图 8(a)中锁相环锁出的相位  $\hat{\theta}$  与实际相位  $\theta$  进行比较,可见经约一个周期多即可准确锁定,且整个暂态过程中锁相误差较小。

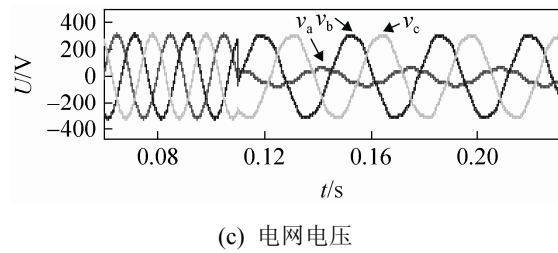
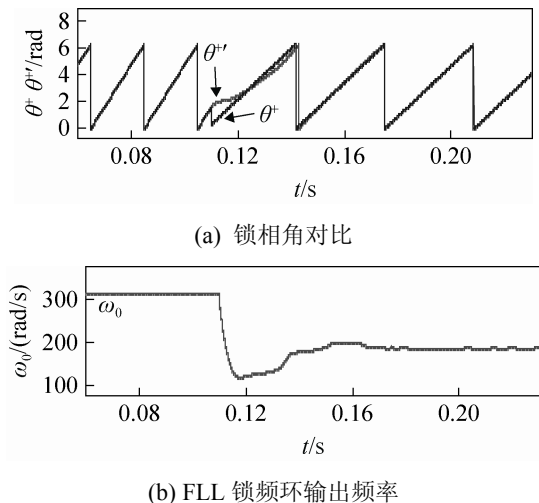


图8 不对称故障时 DSOGI-FLL-PLL 锁相波形  
Fig. 8 Response of DSOGI-based FLL-PLL under asymmetric faults

图 8(b)FLL 闭环锁出的角频率  $\omega_0$  在一个周期多即基本稳定。图 8(c)为电网发生故障时电网电压波形。因此, DSOGI-FLL-PLL 锁相、锁频的动态响应速度比 DSOGI-PLL 更快,且暂态过程中误差小。

### 3.2 应用于不对称故障穿越的效果

为了验证 DSOGI-FLL-PLL 方法对于“低电压穿越”控制的有效性,将该方法应用于图 1 所示的电网不对称故障时光伏发电的“低电压穿越”控制中,仿真结果如图 9~10 所示。

图 9(a)、图 10(a)分别是电网故障时和电网恢复时的并网电流变化波形,图 9(b)、图 10(b)分别是电网故障时和电网恢复时的电网电压变化波形,图 9(c)、图 10(c)分别是电网故障时和电网恢复时的负序电流分量变化情况,图 9(d)、图 10(d)分别是电网故障时和电网恢复时的有功 P 和无功 Q 变化情况。

电网三相不对称故障假设是在 1s 时刻发生,2 秒时恢复正常。故障期间 A 相相电压降低为原来的 20%, B、C 相相电压保持不变,电网频率也由 50 Hz 降为 30 Hz,伴随 3%的 5 次谐波。

由图 9(a)、图 10(a)可看出,在电网故障发生及电网恢复时,并网电流经过不大于一个周期的短暂调整后很快平衡且保持正弦几乎无畸变,幅值与故障前后保持一致。由图 9(c)、图 10(c)可看出,负序电流分量的幅值在故障发生及电网恢复时均经过约一个工频周期就降为 0。

可见, DSOGI-FLL-PLL 对于电网发生不对称

故障时的“低电压穿越”控制效果良好,证明了本文所提DSOGI-FLL-PLL方法的有效性。为了进一步的验证该方法的有效性,将所提DSOGI-FLL-PLL锁相及正负序分离方法应用于光伏低电压穿越中。假设电网在1s时刻发生三相不对称故障,2s时恢复正常。故障期间A相相电压降为原来的20%,B、C相相电压保持不变,电网频率也由50Hz降为30Hz,伴随3%的5次谐波。图9(b)、图10(b)分别是电网发生故障时、故障恢复时电网电压波形。由

图9(a)、图10(a)可看出,在电网故障发生及故障恢复时,并网电流经过不大于一个周期的短暂调整后很快平衡且保持正弦几乎无畸变,幅值与故障前后保持一致。由图9(c)、图10(c)负序电流分量的幅值在故障发生及故障恢复时均经过约一个工频周期降为0。图9(d)、图10(d)中无功 $Q$ 及有功 $P$ 波动较大,主要因为负序电压与正序电流作用导致。整体低电压穿越效果良好,进一步证实了本文所提DSOGI-FLL-PLL方法的有效性。

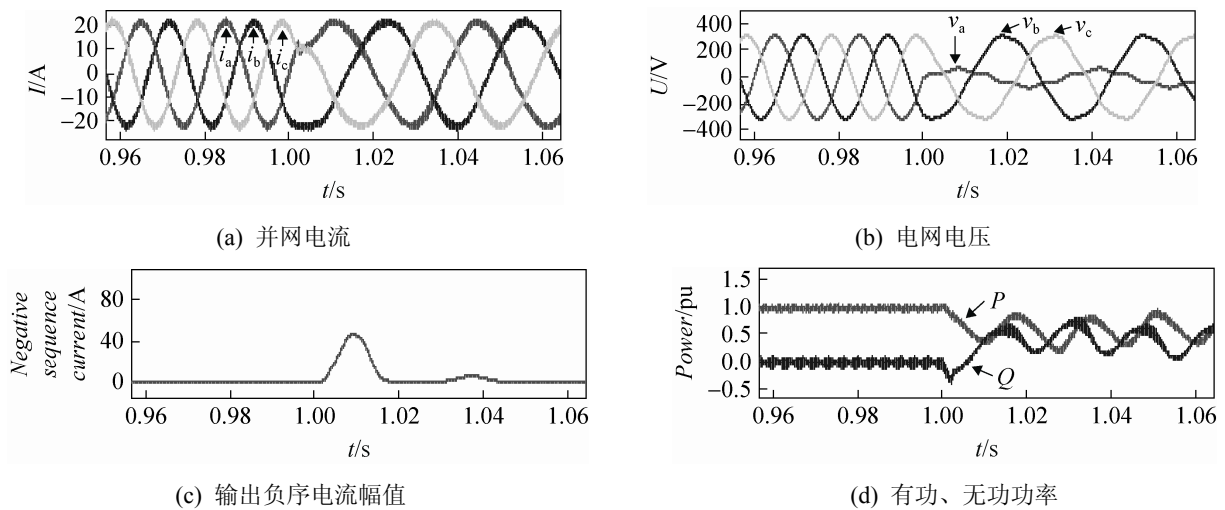


图9 电压跌落时输出电流及负序分量、功率波形

Fig. 9 Output current, negative sequence component, active and reactive power on occurrence of faults

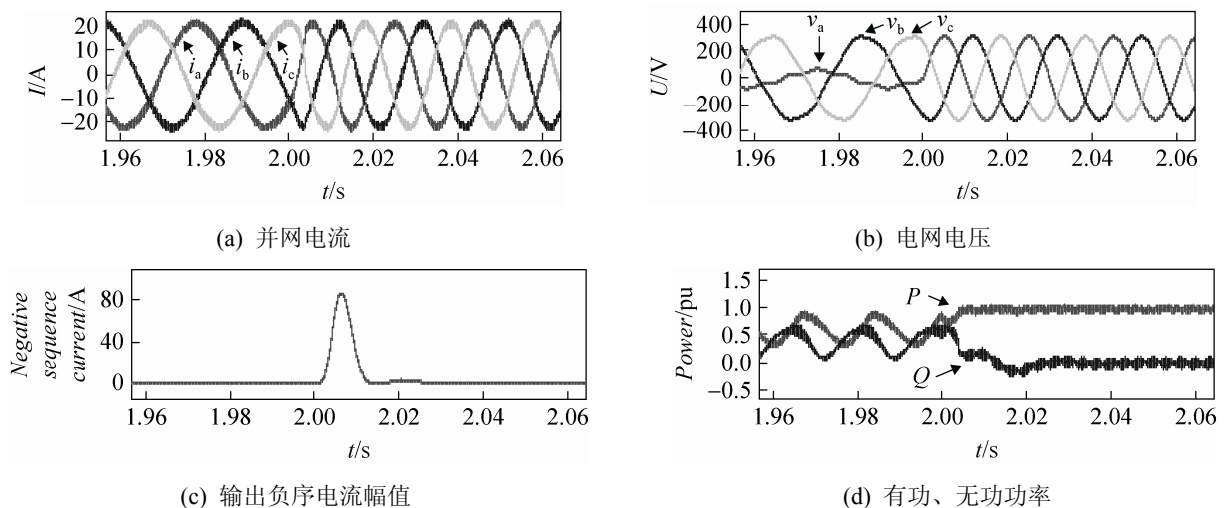


图10 电压恢复时输出电流及负序分量、功率波形

Fig. 10 Output current, negative sequence component, active and reactive power when fault is cleared



## 4 结论

本文基于二阶广义积分器的基本思想,对DSOGI-PLL锁频锁相方法进行了改进,提出一种DSOGI-FLL-PLL锁相方法,使锁频与锁相分别进行。将该方法应用于光伏并网逆变器不对称故障下的“低电压穿越”控制中,通过与DSOGI-PLL锁相方法进行仿真对比,表明本文所提方法不仅明显缩短了锁频、锁相的响应时间,并且对于电网发生不对称故障时的“低电压穿越”控制效果良好。

### 参考文献:

- [1] 张永明, 岳云涛, 丁宝, 等. 适于三相三线光伏并网逆变器的锁相环新方法[J]. 电气工程学报, 2015, 10(7): 27-32.  
Zhang yongming, Yue yuntao, Ding bao, et al. New method for phase-locked loop of three-phase three-wire photovoltaic grid-connected inverter[J]. Journal of Electrical Engineering, 2015, 10(7): 27-32.
- [2] 侯世英, 张诣. 电压频率偏移条件下新型锁相环在三相电压型 PWM 整流器中的应用[J]. 电力系统保护与控制, 2011, 39(17): 74-79, 86.  
Hou shiyang, Zhang yi. Application of novel phase-locked loop in three-phase voltage-type PWM rectifier under voltage frequency offset[J]. Power System Protection and Control, 2011, 39(17): 74-79, 86.
- [3] 程航, 曹五顺, 周明星. 不对称电网电压条件下直驱永磁风力发电机组并网逆变器的双电流闭环控制策略的研究[J]. 电力系统保护与控制, 2012, 40(7): 66-72.  
CHENG Hang, CAO Wu-shun, ZHOU Ming-xing. Research on dual current-loop control strategy for grid-connected inverter of directly-driven wind turbine with permanent magnet synchronous generator under unbalanced network voltage conditions[J]. Power System Protection and Control. 2012, 40(7): 66-72.
- [4] Pedro Rodríguez, Josep Pou, Joan Bergas, et al. Decoupled Double Synchronous Reference Frame PLL for Power Converters Control[J]. IEEE Transactions on Power Electronics (S0885-8993), 2007, 22(2): 584-592.
- [5] 张治俊, 李辉, 张煦, 等. 基于单/双同步坐标系的软件锁相环建模和仿真[J]. 电力系统保护与控制, 2011, 39(11): 138-144.  
ZHANG Zhijun, LI Hui, ZHANG Xu, et al. Simulation and modelling of software phase-locked loop based on single/double synchronous coordinate system[J]. Power System Protection and Control, 2011, 39(11): 138-144.
- [6] Rodríguez P, Teodorescu R, Candela I, et al. New Positive-sequence Voltage Detector for Grid Synchronization of Power Converters under Faulty Grid Conditions[C]// Power Electronics Specialists Conference, Jeju, Korea: 2006.
- [7] Rodríguez P, Luna A, Ciobotaru M, et al. Advanced Grid Synchronization System for Power Converters under Unbalanced and Distorted Operating Conditions[C]// IEEE Industrial Electronics (IECON 2006), Paris: 2006.
- [8] Masoud Karimi-Ghartemani, M Reza Irvani. A Method for Synchronization of Power Electronic Converters in Polluted and Variable-Frequency Environments[J]. IEEE Transactions on Power System (S0885-8950), 2004, 19(3): 1263-1270.
- [9] Pedro Rodriguez, Adrian V Timbus. Flexible Active Power Control of distributed Power Generation Systems During Grid Faults[J]. IEEE Transactions on Industrial Electronics (S0278-0046), 2007, 54(5): 2583-2592.
- [10] Technical Guideline: Generating Plants Connected to the Medium-Voltage Network[S]. Bundesverband der Energie-und asserswirtschaft e.V., BDEW, 2008.