

6-3-2020

Embedded Real Time Network Multimedia Data Transmission Method

Zaijian Wang

The College of Physics and Electronic Information, Anhui Normal University, Wuhu 241000, China;

Ting Wan

The College of Physics and Electronic Information, Anhui Normal University, Wuhu 241000, China;

Dandan Wu

The College of Physics and Electronic Information, Anhui Normal University, Wuhu 241000, China;

Qingqing Xing

The College of Physics and Electronic Information, Anhui Normal University, Wuhu 241000, China;

Follow this and additional works at: <https://dc-china-simulation.researchcommons.org/journal>



Part of the Artificial Intelligence and Robotics Commons, Computer Engineering Commons, Numerical Analysis and Scientific Computing Commons, Operations Research, Systems Engineering and Industrial Engineering Commons, and the Systems Science Commons

This Paper is brought to you for free and open access by Journal of System Simulation. It has been accepted for inclusion in Journal of System Simulation by an authorized editor of Journal of System Simulation.

Embedded Real Time Network Multimedia Data Transmission Method

Abstract

Abstract: To improve the speed of data acquisition and real-time video transmission, *Filed Programmable Gate Array (FPGA) as the core processor, the Verilog HDL was used to describe the circuit function realization to realize the high-speed access of Synchronous Dynamic Random Access Memory (SDRAM) based on a typical network real-time transmission network multimedia service data.* The new high-speed real-time transmission of video data took full advantage of the characteristics of FPGA parallel processing to improve video data acquisition and transmission rates. The experimental results demonstrate the effectiveness of the method.

Keywords

high speed real time transmission, FPGA, SDRAM, verilog HDL

Recommended Citation

Wang Zaijian, Wan Ting, Wu Dandan, Xing Qingqing. Embedded Real Time Network Multimedia Data Transmission Method[J]. Journal of System Simulation, 2017, 29(4): 808-817.

一种嵌入式实时网络多媒体数据传输方法

王再见, 万婷, 吴丹丹, 邢青青

(安徽师范大学物理与电子信息学院, 安徽 芜湖 241000)

摘要: 为提高实时视频数据采集和传输的速率, 以现场可编程门阵列(Field Programmable Gate Array, FPGA)为核心处理器, 以 Verilog HDL 描述电路功能实现对同步动态随机访问存储器(Synchronous Dynamic Random Access Memory, SDRAM)的高速访问, 基于典型网络实时传输网络多媒体业务数据。新的视频数据高速实时传输方法充分利用 FPGA 并行处理的特点, 提高视频数据采集和传输速率。实验结果证明了本文方法的有效性。

关键词: 高速实时传输; 现场可编程门阵列; 同步动态随机访问存储器; 硬件描述语言

中图分类号: TN919.85 文献标识码: A 文章编号: 1004-731X (2017) 04-0808-10

DOI: 10.16182/j.issn1004731x.joss.201704014

Embedded Real Time Network Multimedia Data Transmission Method

Wang Zaijian, Wan Ting, Wu Dandan, Xing Qingqing

(The College of Physics and Electronic Information, Anhui Normal University, Wuhu 241000, China)

Abstract: To improve the speed of data acquisition and real-time video transmission, Filed Programmable Gate Array (FPGA) as the core processor, the Verilog HDL was used to describe the circuit function realization to realize the high-speed access of Synchronous Dynamic Random Access Memory (SDRAM) based on a typical network real-time transmission network multimedia service data. The new high-speed real-time transmission of video data took full advantage of the characteristics of FPGA parallel processing to improve video data acquisition and transmission rates. The experimental results demonstrate the effectiveness of the method.

Keywords: high speed real time transmission; FPGA; SDRAM; verilog HDL

引言

现代网络通信技术的发展对数据传输有着越来越高的要求, 目前应用的数据采集系统可同时采集成千上百个参量的实时数据, 如何对庞大的数据量进行实时处理以及高速实时地传输成为了其中的技术关键。目前典型的视频采集和传输方法有:

1) 基于单片机的视频数据采集方法^[1-2]: 采用模/数(A/D)、数/模(D/A)转换芯片, 单片机和专用串行通信芯片完成数据的采集和串行传输;

2) 基于 DSP 视频数据采集方法^[3-5]: 采用专用数字处理芯片和通用串行总线 USB 接口完成数据采集。

上述两种方法虽然能够实现视频数据采集传输, 但受单片机和专用串行通信芯片的限制, 无法完成速率较高的信息速率的高速传输;

针对上述问题, 本文提出一种基于现场可编程门阵列的高速实时视频传输方法, 其主要特点如下: (1)由 Verilog HDL 语言描述图像采集和处理模



收稿日期: 2015-06-15 修回日期: 2015-11-26;
基金项目: 国家自然科学基金(61401004), 安徽省高校领军人才引进与培育计划(gxfxZD2016013), 安徽师范大学博士科研启动金项目(2016XJJ129), 安徽师范大学科研培育基金(2013xmpy10);
作者简介: 王再见(1980-), 男, 安徽定远, 博士, 副教授, 研究方向为多媒体通信, 多媒体大数据技术。

<http://www.china-simulation.com>

• 808 •

块全部硬件并予以实现, 充分发挥 FPGA 并行处理的优势, 从而提高数据采集速率; (2) 采用总线模式从而使软件与硬件协同工作, 提高了处理速度, 也利于软硬件的升级与优化; (3) 以数字化的通信方式实现视频图像采集以及数据传输, 同时节省缆线, 降低了开发成本。

1 一种基于 FPGA 的高速实时视频传输方法

针对视频采集传输系统要求, 本文提出的视频数据传输方法主要由以下几个部分组成: 视频数据采集模块、视频数据缓存模块、视频数据发送与处理模块、网络传输模块以及视频显示模块: 首先利用视频数据采集模块采集实时数据信息, 经处理后送入数据缓存模块缓存。当从机发出请求时, 主机方的数据处理模块将数据读出经过相应处理后再经由网络发送, 从机端处理芯片读出数据再经处理后送入显示模块完成显示。

1.1 视频数据采集模块

目前视频图像采集的方法很多, 主要包括两大类: (1) 自动图像采集: 采用专用图像采集芯片, 自动完成图像的采集、帧存储器地址生成以及图像数据的刷新; 除了要对采集模式进行设定外, 主处理器不参与采集过程^[6]; 这种方法的特点是采集不占用 CPU 的时间, 实时性好, 适应活动图像的采集; (2) 基于处理器的图像采集: 采用通用视频 A/D 转换器实现图像的采集, 不能完成图像的自动采集, 整个采集过程在 CPU 的控制下完成, 由 CPU 启动 A/D 转换, 读取 A/D 转换数据, 将数据存入帧存储器。其特点是数据采集占用 CPU 的时间, 对处理器的速度要求高, 但电路简单、成本低、易于实现, 能够满足某些图像采集系统需要。

为达到视频数据高速实时采集的要求, 本文采用第一种方案。本文选用 OV7670 图像传感器, 它的体积小、工作电压低, 支持单片 VGA 摄像头和影像处理器的所有功能。通过 SCCB 总线控制, 可

以输出整帧、子采样取窗口等方式的各种分辨率 8 位影响数据。其 VGA 图像最高达到 30 帧/秒, 同时可以通过 SCCB 接口编程完全控制图像质量、数据格式和传输方式。

1.2 视频数据缓存模块

在本文视频处理系统中, 输入到 FPGA 的数据的速度和 FPGA 处理的速度不同步, 导致无法直接进行数据交互。目前使用的跨时钟域数据交互主要有以下 3 种方式^[7]:

(1) 采用使能信号实现跨时钟域数据交互: 通过 FPGA 边沿采样原理, 捕获使能时钟来解决跨时钟域数据交互, 实现方式非常的简单, 也非常适用于 FPGA 实现。但由于高频时钟能采样到高频时钟, 而高频时钟不能采样到低频时钟, 因此这决定了数据流只能由低频域向高频域传输时; 当外部时钟与 FPGA 主时钟旗鼓相当时, 采用这种方式进行跨时钟与数据交互就会导致数据大量丢失。

(2) 采用片内存储器实现跨时钟域数据交互: 利用存储器的双端口读取, 由于 FPGA 片内 RAM、FIFO 等, 都可以设置成双端口读取模式, 即独立的读时钟与写时钟。由于双端口 RAM、DCFIFO 等读写操作, 其固有特性决定了可以在 2 个时钟域下进行数据的读写操作。但由于内存有限, 无法处理大容量数据。

(3) 采用 SRAM/SDRAM 等存储器作为跨时钟域数据交互: 由于片内存储器有限, 当数据量较大时, 采用外部存储器, 也能实现跨时钟与数据交互。这里的 SRAM/SDRAM 相当于双端口 RAM。以 SRAM/SDRAM 来实现跨时钟域数据交互, 好处在于实现海量跨时钟与数据的处理, 能同时实现低频域到高频域, 或者高频域到低频域的跨时钟数据转换。另外, SRAM 的驱动时序简单, 便于实现, 但价格高; 而 SDRAM 驱动时序复杂, 实现困难, 但是价格便宜。在实际项目开发中, 根据周期与产品的成本敏感程度而定^[8]。

综合考虑实际要求, 本文提出了一种用 Verilog

语言给予实现的基于 FPGA 的 SDRAM 控制器的设计方法, 实现了对 SDRAM 的灵活操作。

1.3 数据处理模块

目前主流应用的数据处理芯片主要有 ARM(Advanced RISC Machines)、DSP(Digital Singnal Processor)、和 FPGA 等。

(1) ARM: 是指 32 位单片机, 由于结构和计算速度的原因, 目前适合做事务处理或者中低端应用, 从中高级工控到简单语音/图片(不含视频)处理;

(2) DSP: 它从 16 位~32 位, 内部采用哈佛结构, 特别适合数据处理, 其中 16 位 DSP 适合中高级工控到简单语音/图片(不含视频)处理, 其中 32 位 DSP 适合复杂语音/图片/视频处理;

(3) FPGA: 新型 FPGA 可以用内部乘法器/寄存器/内存块构造软核, 例如构造 ARM, 则可以实现 ARM 的功能; 若构造成 DSP, 则可以实现 DSP 的功能。在高速信号处理时, 可以采用并行结构, 大大提高处理速度, 甚至可以超过目前最快的 DSP。

为了提高数据处理速度, 本文采用了 FPGA 芯片作为数据处理核心模块, FPGA 即现场可编程门阵列, 作为专用集成电路领域中的一种半定制电路, 既解决了定制电路的不足, 又克服了原有可编程器件门电路数有限的缺点。本文中 FPGA 的作用是控制整个系统的工作时序以及和外部的 FIFO 组成一个大容量的缓存, 避免因为时序不匹配而造成的图像丢帧和错帧的现象, 从而保证整个采集系统高速有效的工作^[9]。

1.4 设计语言的选择

VHDL 与 Verilog HDL 是目前最通用的两种硬件描述性语言, Verilog HDL 和 VHDL 作为描述硬件电路设计的语言, 其共同的特点在于: (1)能形式化地抽象表示电路的结构和行为; (2)支持逻辑设计中层次与领域的描述; (3)可借用高级语言的

精巧结构来简化电路的描述; (4)具有电路仿真与验证机制以保证设计的正确性; (5)支持电路描述由高层到低层的综合转换; (6)硬件描述与实现工艺无关。

二者区别在于: (1)VHDL 的描述的设计级包括: 系统级、行为级、RTL 级、门级; Verilog HDL 描述的设计级包括: 行为级、RTL 级、门级、开关级; (2)VHDL 来自 ADA, 语法严谨, 比较难学, 在欧洲和国内有较多使用者; Verilog 来自 C 语言, 易学易用, 编程风格灵活、简洁, 使用者众多, 特别在 ASIC 领域流行。

结合本文设计方案, 选择 Verilog HDL 语言进行硬件描述。

1.5 开发平台

结合上述所选 FPGA 芯片, 本文使用 Quartus II 作为开发平台, Quartus II 是 Altera 公司的综合性 PLD/FPGA 开发软件, 原理图、VHDL、Verilog HDL 以及 AHDL(Altera Hardware 支持 Description Language)等多种设计输入形式, 内嵌自有的综合器以及仿真器, 可以完成从设计输入到硬件配置的完整 PLD 设计流程。它可以在 XP、Linux 以及 Unix 上使用, 除了可以使用 TCL 脚本完成设计流程外, 提供了完善的用户图形界面设计方式。具有运行速度快, 界面统一, 功能集中, 易学易用等特点。Quartus II 支持 Altera 的 IP 核, 包含了 LPM/Mega Function 宏功能模块库, 使用户可以充分利用成熟的模块, 简化了设计的复杂性、加快了设计速度。对第三方 EDA 工具的良好支持也使用户可以在设计流程的各个阶段使用熟悉的第三方 EDA 工具。此外, Quartus II 通过和 DSP Builder 工具与 Matlab/Simulink 相结合, 可以方便地实现各种 DSP 应用系统; 支持 Altera 的片上可编程系统(SOPC)开发, 集系统级设计、嵌入式软件开发、可编程逻辑设计于一体, 是一种综合性的开发平台。

2 硬件设计

本文提出的系统具体工作过程如下: 首先摄像头 OV7670 进行数据采集, 经时钟域转换后转存到 SDRAM 数据存储中; FPGA 从 SDRAM 中读取数据并进行相应处理; 当从机发送请求时, 封包模块 (Encap) 接收到来自 CPU 的非空信号时, 直接把来自 CPU 的 DS 值作为目的 MAC, 并把应答信号补齐打包, 同时异步 FIFO 把系统时钟域转换为输出的网口时钟域, 打包后的数据通过网卡接口经由网络服务器发送到远程从机。从机在接收到数据后开始解包并读取数据, 经过数据缓冲区转换时钟后在 VGA 上显示实时数据。如图 1 所示。

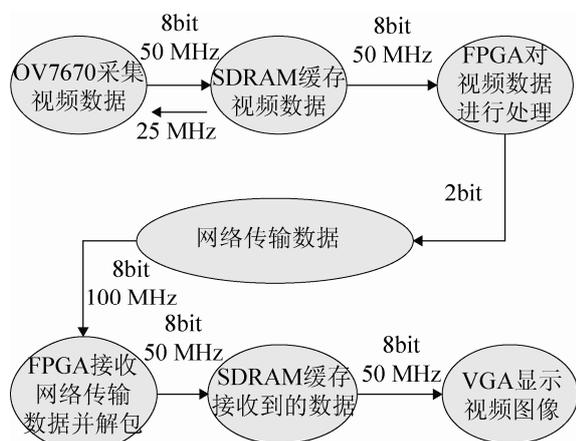


图 1 硬件系统工作流程图

Fig. 1 The work flow diagram of hardware system

2.1 摄像头采集视频数据

本模块采用 OV7670 摄像头采集视频数据, 主要在于控制 SCCB (Serial Camera Control Bus) 对数据进行读取, 主要包括以下两个方面工作:

2.1.1 对时钟进行转换

由于摄像头采集时钟是 25 MHz, 而将数据存入 SDRAM 中使用的时钟是 50 MHz, 二者时钟不能匹配。解决这个问题方法有: (1) 基于 ARM 下的 SCCB 程序或者 IIC 程序^[10]; (2) 基于 NISO 控制 SCCB 的读写; 但这两种转换方法的传输速率较低, 不能满足需求的问题。本文采用 Verilog 语言

编程实现 SCCB 时序控制, 硬件语言描述结构清晰, 灵活方便, 且易于修改。本文采用 PLL (Phase lock loop 锁相环) 实现倍频, 将时钟从 25 MHz 转换成 50 MHz, 代替逻辑分频, 克服逻辑分频占据大量板内逻辑资源的缺点, 减少逻辑资源的利用率, 提高处理速度。

2.1.2 转换数据帧长度

在本文提出的图像采集方法中, 数据以 8bit 为一帧存储存入摄像头模块, 同样以 8bit 存入 SDRAM 中, 但是在存入 FIFO 模块时是以 16bit 为一帧存储的。为解决这个问题, 应先采用 Verilog 硬件描述语言对 SCCB 进行初始化操作, 将数据帧转换为统一的长度, 防止其按照自己默认的寄存器来产生行场信号和数据, 避免产生通信错误, 影响传输速率。

2.2 采用 SDRAM 缓存视频数据

本模块主要功能为 SDRAM 缓存采集到的视频数据, 关键在于对 SDRAM 的状态进行控制。由于 SDRAM 的存储体结构与 RAM 差异较大, 且控制时序和机制也较复杂, 其使用受到限制^[11]。本文提出一种用 Verilog 语言进行描述的基于 FPGA 的 SDRAM 控制器的设计方法, 实现了对 SDRAM 的灵活操作。

为确保 SDRAM 模块能够进入期望的工作模式, 应进行如下操作:

- (1) 必须配置正确的上电逻辑以及模式设置;
- (2) 必须要先激活相应的存储块和锁定对应的行列地址, 才可以对特定的逻辑单元的进行访问;
- (3) 必须要有定时的刷新逻辑, 以保证存入的数据不会丢失;
- (4) CS#、RAS#、CAS#、WE# 和地址信号等控制信号的初值设定必须满足 SDRAM 的时序要求, 以确保进入要求的控制模式, 对 SDRAM 进行精确操作。

2.2.1 SDRAM 模式设置和初始化准备

- (1) 设置寄存器模式: 使用地址线 A10~A0 作

为模式数据输入线, 其中 A2~A0 作为 Burst 长度, A3 为 Burst 类型, A6~A4 为 CAS 延迟。A8~A7 为操作模式, A9 为写 Burst 模式。在设置模式寄存器时, 其设置值必须与器件的延迟参数一致, 并且符合读写操作的控制时序。

(2)初始化准备: ①对 SDRAM 的所有电源引脚加电, 并且确保所有输入和电源引脚上电电压不得超过标称值 0.3V; ②预充电: 加电完成后等待 100 us, 再对所有 BANK 进行预充电, 在等待期间要求 CKE 信号保持高电平状态; ③自动刷新: 在对 BANK 进行预充电之后要执行两个自动刷新命令, 之后才能发出模式设置命令信号以及开始初始化模式寄存器的配置。

2.2.2 SDRAM 状态控制

(1) 状态初始化

SDRAM 上电之后, 外部会产生复位 (Reset) 命令送给 SDRAM 控制器, 接收到 Reset 命令后, SDRAM 控制器才能进入初始化状态。在初始化状态中需要执行一系列操作, 即: 完成上电、预充电、自动刷新和模式寄存器设置等操作。这一系列操作在进行 Verilog 程序设计时, 可以通过状态机来实现。

SDRAM 在进行数据存储时, 要求数据的完整性, 即要保持数据不丢失, 所以 SDRAM 要求定时进行刷新。以 MICRON 的 MT48LC4M32B2YG-7 芯片为例, 共需 4K 刷新周期/64ms, 即每 15.625 us 刷新一次才能满足需要。SDRAM 采用的是 33M 的 PCI 总线时钟, 即每隔 420 个时钟周期 SDRAM 控制器必须启动一次刷新命令, 为此本文在设计在 SDRAM 控制器时, 在其中设置了一个定时器, 每计数到 420 便发出刷新命令, 同时计数变量清零。

刷新操作同样也需要一系列 SDRAM 命令按照刷新时序来完成, 在启动刷新操作之前要对所有 BANK 进行预充电, 而且必须执行两个自动刷新命令才能完成一次刷新操作。在 Verilog 中可用状态机来实现自动刷新。

2.3 FPGA 收发视频数据

数据处理是本文的核心部分, 其主要是基于 FPGA 芯片完成数据读取、打包、发送以及相应的数据接收、解包。数据转换等工作。

2.3.1 发送接收内部结构

(1) 异步 FIFO

当数据从一个时钟域传递到另一个域, 并且目标时钟域与源时钟域不相关时, 这些域中的动作是不相关的, 从而消除了同步操作的可能性, 并使系统重复地进入亚稳定状态。在有大量的数据需要进行跨时钟域传输且对数据传输速度要求比较高的场合, 异步 FIFO 是一种简单、快捷的解决方案。

本文采用宽度与深度可配置的双时钟异步 FIFO 实现时钟域的转换。用于收模块的双时钟通信, 以及配合包 FIFO 传送数据包。异步 FIFO 包括写数据和读数据两个端口, 与之对应的 FIFO 操作中用到了两个指针, 即写指针和读指针。指针移动依靠 FIFO 控制器外部的读写信号, 通过指针移动生成相应的空信号或满信号。

(2) RMI 发送模块

本模块读取、接收前端异步 FIFO 的数据, 将 8bit 数据转化成四个 2bit 数据发出。其中时钟是网口提供的 50M 时钟, read_req 是读请求, 每四个输入时钟周期(int_clk)发送一次数据。

(3) 包 FIFO 收发模块

本模块主要接收从发送模块 RM II 发送过来的收到的数据, 并将其以数据包为单位接受存入, 在完整收到一个数据包后发送数据。利用状态机轮流查询两个包 FIFO 的空闲(Empty)状态, 等待发送。当接收到 CPU 发出的非空 Empty 信号时, 则将目的 MAC 设定为来自 CPU 的 DS 值, 同时补齐打包应答信号, 并将接收到的写数据的行号(w_para)作为 PDU 部分的头两位, 与应答信号一起进行发送。

(4) 数据包接收转换模块

本模块主要用于实现数据包的格式转换: 当接

收到来自 RM II 模块中请求获取主机的数据的信号时, 将 Type 字段当作数据(data)写入本模块, 同时将请求地址当做数据行(data_para)信号送到 CPU。当请求被允许, 数据开始传输, 本模块将对送来的数据包解包, 并将其中的信息位提取出来, 经过时钟匹配和数据帧格式转换后送到 VGA 进行显示。

上述为数据发送模块, 接收模块结构与之对称, 不做赘述。下面对发送接收流程做具体阐述。

2.3.2 数据发送

本模块是利用 FPGA 模块将数据从 SDRAM 读取进行打包处理再经由网络发送到从机端^[12]。本模块具体工作流程如下:

- (1) 异步 FIFO 将数据采集模块时钟(25 MHz)转化为系统时钟域(50 MHz), 采用按行送入的方式读入数据;
- (2) 在数据中加入相关描述, 进行打包操作;
- (3) 包 FIFO 读入并存储数据包, 将数据打包成 UPD 包, 送到发送模块传输;

2.3.3 数据接收

从机内部结构与发送模块相近, 工作具体流程为:

- (1) 将接收到的数据从 2bit 转换成 8bit, 再送入数据接收模块, 经过异步 FIFO 处理, 加上 CRC 校验后, 将数据打包送入包 FIFO;
- (2) 数据送出以后进入数据弹出(pop)模块得到 8bit 的数据(data)和数据使能信号(data_en)信号, 之后送入解码模块, 得到包里面的行号(para)和完整的行信号;
- (3) 将处理后的数据送入另外一个包 FIFO, 处理得到一个完整的行信号数据传送到 VGA 接收端。

2.3.4 请求与应答

在发送数据的时候, 发送模块会接受来自路由器的数据包信号, 并进行解包操作。如果发现本机的 RAM 里面包括源地址, 则发送相应的 Ack 应答信号给对应地址, 同时发送使能信号给接收的异步

FIFO。在接受数据时, 从机接收模块通过广播信号发送 Request 包, 如果请求被响应并接收到来自主机的 Ack 信号, 就开始接收数据数据进行相信处理。请求应答机制保证了可靠的数据传输。

2.4 网络传输视频数据

本模块主要实现将主机采集到的数据经过网络发送到从机, 网络传输模块包括主机发送与从机接收两部分。

2.4.1 主机发送模块

主机发送模块内部结构如下: 主机在接收到数据包进行简单解包操作(即保留其中的 SA(Source Address, 源地址)和 Type)后, 再将数据包直接送入由 CPU 控制的包 FIFO; CPU 完成数据处理后将 ACK 包回发给从机, 并且发送 Send_en 和 DA(Destination Address 目的地址)到 Encap, 从而控制主机是否与对应从机进行通信。

2.4.2 从机接收模块

从机接收模块与上述发送模块内部结构相似, 区别在于从机的 CPU 不需要对 DA、SA 进行处理。因为主机地址固定, 其发出的 ACK 信号在网络中以广播形式进行传播。如果从机的 Decap 检测到与自身一致的 DA, 则通过分辨 Type 来进行控制数据包的流向, 使之送入到正确的包 FIFO。

2.5 VGA 显示屏实现视频显示

从 SDRAM 中读取数据包解包模块送来的数据, 并将其在 VGA(显示屏)上显示。对于 FPGA 内置 RAM 而言, 由于读取速率过低, 导致在 VGA 显示过程中无法实现全屏显示, 即所接受图像只能在显示屏左上角出现, 因此本设计采用了 Verilog 语言实现快速读取 SDRAM, 克服这一困难, 实现了快速全屏显示, 同时也扩大了数据存储容量。在实现显示之前, 需要配置 VGA 格式输出: 用 Assign 语句对十六位的变量 nam[]进行赋值操作, 8'h32 中 h 是十六进制, 8 表示八位, 8'h32 是十六进制 3 和 2,

8'h32 = 8'b00110010。nam[3]={8'h32,8'hb6};相当于16'h32b6; 即 16'h32b6=16'b0011001010110110; 这样就可以分清高八位和低八位。如: Assignnmb[3]={8'h32,8'hb6};

2.6 Nios II CPU 模块

Nios II 嵌入式处理器是 ALTERA 公司推出的采用哈佛结构、具有 32 位指令集的第二代片上可编程的软核处理器, 是一种模块化的硬件结构, 具有灵活性和可裁减的优点。相对于传统的处理器, Nios II 系统可以在设计阶段根据实际的需求来增减外设的数量和种类。使用 ALTERA 提供的开发工具 SOPC Builder, 在可编程逻辑器件 (Programmable Logic Device, PLD) 上创建软硬件开发的基础平台, 也即用 SOPC Builder 创建软核 CPU 和参数化的接口总线 Avalon。在此基础上, 可以很快地将硬件系统(包括处理器、存储器、外设接口和用户逻辑电路)与常规软件集成在单一可编程芯片中。而且, SOPCBuilder 还提供了标准的接口方式, 以使用户将自己的外围电路做成 Nios II 软核可以添加的外设模块。这种设计方式更加方便了各类系统的调试^[13]。

本模块主要利用 AG 调试模块提供了通过远端 PC 主机实现 Nios II 处理器的在芯片控制、调试和通讯功能, 具体内容如下:

用于完成各项参数配置工作。用 JTAG CPU 进行寄存器配置, 设置数据长度;

控制内部发包器发送数据包。由 Nios 产生开始信号、写地址、行号(参数), 经过相应转化, 发送各类地址和相应数据, 再经网口发送到接收端。

(3) 接收来自自由网口接收端的数据, 经过相应的处理后判断是否完成收发工作。

3 软件设计

本文采用 Verilog 语言对各个模块进行描述, 其主要模块程序流程图及部分程序代码如下。

3.1 数据采集

如图 2 所示: (1)开始, 判断标志位 FULL 是否为低电平, 即数据是否溢出。如果溢出, 停止采集, 等待下一个时钟周期; 如果没有, 则进行下一步操作; (2)读取采样速率, 按照设定值进行数据采集; (3)判断 PA1、PA2 数据是否变化, 如果是, 继续读取数据; 否则保持当前状态, 等待下一个时钟周期。

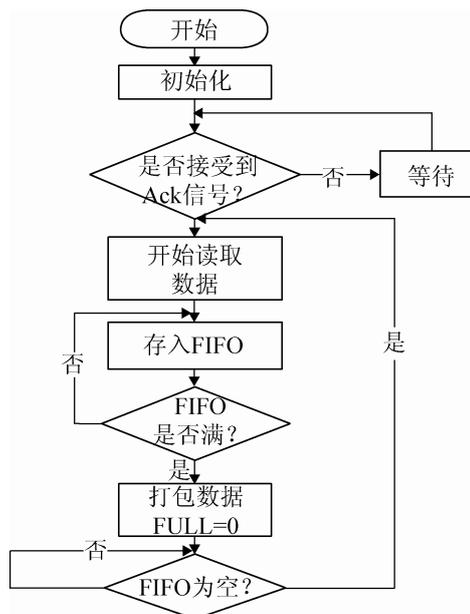


图 2 数据发送程序流程图

Fig. 2 The flow chart of data transmission program

3.2 数据处理

如图 3 所示: (1)进行初始化操作, 等待下一步操作; (2)判断是否接收到 Ack 应答信号, 如果没有, 停止操作; 如果是, 开始读取数据; (3)将数据存入异步 FIFO, 判断 FIFO 是否已满: 如果没有则继续存入数据, 如果已满, 进行下一步操作; (4)将数据打包并将 FULL 置为低电平; (5)判断 FIFO 是否为空, 为空则进入下一次数据读取, 否则保持。

3.3 数据发送模块主程序

```

module data_send_ctrl
(
input clk ,//50MHZ
input rst_n,

```

```

input empty,
output reg r_en, //输出给异步 fifo 的读使能
input [15:0] r_data, //从异步 fifo 读到的数据

output r_clk, //50MHZ
input full,
output w_clk, //50MHZ
output reg w_en, //包 fifo 的写使能
output [13:0] w_addr, //送给包 fifo 的地址
output reg [7:0] w_data, //送给包 fifo 的数据
output reg [6:0] w_lengt, //数据长度 (80)
output reg [7:0] w_para, //数据参数, 这里表示多少行
output reg w_start ); //包 fifo 写开始

```

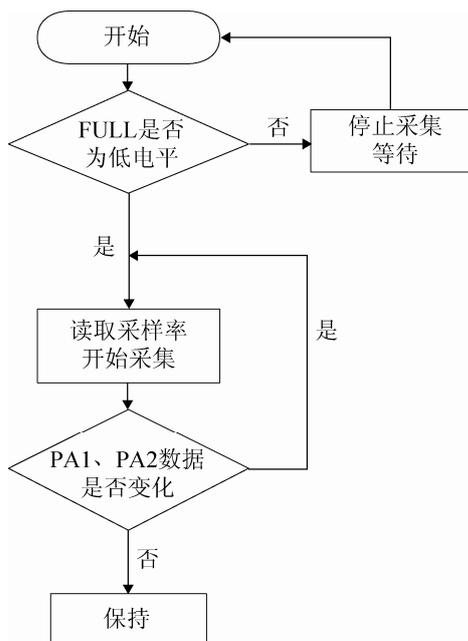


图 3 数据处理程序图

Fig. 3 The flow chart of data processing program

4 实验

4.1 仿真环境配置

本次设计的视频传输系统利用 Modesim 对整个系统进行功能级仿真。在 Modesim 界面对解包 (decap) 模块进行功能仿真, 其中需要添加系统时钟信号, 复位信号, 系统收发使能信号, 以及接收到

的数配置。信号包括:

Sys_clk(系统时钟信号)、reset_1(复位信号)、clk_en_cnt(时钟使能计数)、clk_en(时钟使能)、Sys_rx_data_cnt(接收信号计数)、Sys_rx_data(接收数据)、Sys_rx_data_en(接收数据信号使能)。

配置结束后整个系统进行功能级仿真, 仿真成功后输出波形如图 4 所示。由图 4 可见, 开始时 reset_1=0, 即复位信号有效, 初始值均为 0; 在系统时钟使能信号为 1 即 clk_en=1, 且数据接收计数器使能为 1 即 Sys_rx_data_en=1 的时候, 在时钟上升沿时收数据计数器开始计数, 最终得到的接收数据 Sys_rx_data。经过仿真验证数据成功接收, 传输通信无误。

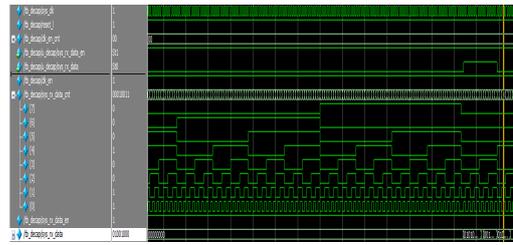


图 4 输出仿真时序图

Fig. 4 The timing diagram of output simulation

4.2 实际验证

将设计好的顶层原理图编译完成并分配好引脚后使用 Quartus II 自带的 JTAG_uart 下载到开发板中^[14], 将 OV7670 摄像头接在发送方 1 号面板上。连接好电路后, 打开工程文件, 进入运行界面, 单击 start 对程序进行编译并运行。

当工程并行编译后, 综合分析结果如图 5 所示。

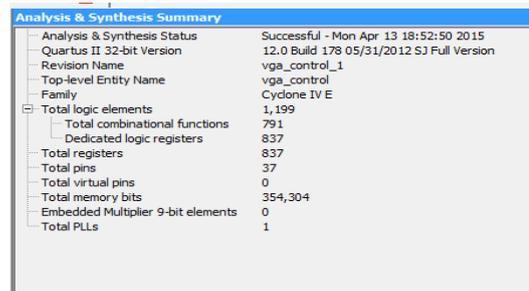


图 5 综合分析结果图

Fig. 5 The analysis and synthesis summary

由图 5 可见, 总的逻辑单元是 1 199, 专用的逻辑寄存器是 837, 总的寄存器是 837, 本文采用芯片的总的引脚数为 37, 占用总的内存是 354 304 比特。

在 VGA 显示屏上显示视频效果如图 6 所示。由图 6 可见, 视频经网络传输后在 VGA 上显示清晰流畅, 没有漏帧延时情况出现, 达到了系统要求。



图 6 视频显示效果

Fig. 6 The video display effect

4.3 实验对比

1) 在同样的实验环境下, 将本文实验结果与 USB 总线的高速视频采集系统进行比较, 见表 1。

表 1 采集速率比较

Tab. 1 The comparison of acquisition rate

方法	采集速率
基于 USB 总线的高速视频采集设计	24 帧/秒 (512×512×24 帧×2=12Mbyte)
本文方法	30 帧/秒 (480×640×30 帧×2=18Mbyte)

通过与基于 USB 总线的高速视频采集系统进行比较, 可以看出: 本文提供的方法每秒中传输的图片帧数较多, 传输的速率相对较快。

2) 将本文实验结果与基于 Rocket I/O 的视频数据采集^[15]进行比较, 见表 2。

表 2 刷新速率比较

Tab. 2 The comparison of refresh rate

方法	刷新速率
基于 Rocket I/O 的视频数据采集	存在漏同步缺陷, 会带来假同步
本文方法	刷新速率快, 漏帧率低

通过与基于 Rocket I/O 的视频数据采集系统进行对比, 可以看出: 本文提供的方法漏帧的机率较低, 不会出现假同步。并且本文的刷新速率相对较快, 显示视频流畅。

综合测试实验结果与上述对比表明: 本系统视频传输显示画面清晰, 刷新速率快, 实现了高速率的实时视频数据传输。

5 结论

本文设计一种视频数据传输系统, 以 FPGA 为基础, 结合 Altera 公司的高性能 Nios II 处理器及其他外设产品, 完成了视频图像传输系统设计。在 FPGA 嵌入式操作系统结合领域、软件与硬件协同设计领域和图像处理硬件化领域做了很多创新性的尝试, 最终实现了系统的数字化, 达到了数据高速率实时传输, 节省资源并降低应用成本。在今后的工作中, 我们将进一步完善本文方法, 深入研究网络多媒体数据实时传输方法。

参考文献:

- [1] 栾博悦, 张莹, 赵慧元. 基于 ARM 的视频数据采集传输系统的设计与实现 [J]. 计算技术与自动化, 2014, 33(2): 101-104. (Luan Boyue, Zhang Ying, Zhao Huiyuan. Design and Implementation of Video Data Acquisition and Transmission Based on ARM [J]. Computing Technology and Automation, 2014, 33(2): 101-104.)
- [2] 杨磊, 徐葵, 柳石, 等. 云存储 QoS 保证模型及关键技术研究 [J]. 系统仿真学报, 2013, 25(11): 2678-2686. (Yang Lei, Xun Kui, Liu Shi, et al. Research on QoS Guarantee Model and Key Technologies for Cloud Storage [J]. Journal of System Simulation (S1004-731X), 2013, 25(11): 2678-2686.)
- [3] 刘士影, 吴学杰, 胡志群. 基于 DSP 高速数据采集系统 [J]. 工业控制计算机, 2011, 24(1): 65-66. (Liu Shiyong, Wu Xuejie, Hu Zhiqun. High-speed Data Acquisition System Based on DSP [J]. Industrial Control Computer, 2011, 24(1): 65-66.)
- [4] 关守平, 尤富强, 高鑫. 基于 DSP 的高速数据采集器设计 [J]. 控制工程, 2013, 20(6): 1032-1035. (Guan Shouping, You Fuqiang, Gao Xin. Design of High-speed Data Acquisition Device Based on DSP [J]. Control

- Engineering of China, 2013, 20(6): 1032-1035.)
- [5] 杨磊, 刘亚波, 唐禹, 等. 高效机载 SAR 实时成像处理系统设计 [J]. 电路与系统学报, 2013, 18(1): 127-132. (Yang Lei, Liu Yabo, Tang Yu, et al. Design of efficient real-time processing system for airborne-SAR imagery [J]. Journal of Circuits and Systems, 2013, 18(1): 127-132.)
- [6] 李易难, 牛燕雄, 杨露. 基于 DSP+FPGA 视频图像采集处理系统的设计 [J]. 电子测量技术, 2012, 37(1): 56-61. (Li Y N, Niu Y X, Yang L. Design of video image sampling and processing system based on DSP and FPGA [J]. Electronic Measurement and Technology, 2012, 37(1): 56-61.)
- [7] 李刚, 程志峰. 基于 FPGA 的实时电子稳像 [J]. 仪器仪表学报, 2013, 34(12): 8-13. (Li Gang, Cheng Zhifeng. Real-time digital image stabilization based on FPGA [J]. Chinese Journal of Scientific Instrument, 2013, 34(12): 8-13.)
- [8] 何振琦, 李光明, 张慧琳, 等. 高速图采集系统的研究及 FPGA 实现 [J]. 计算机应用, 2010, 30(11): 3094-3096. (He Zhenqi, Li Guangming, Zhang Huilin, et al. High speed image acquisition system and FPGA implementation [J]. Journal Computer Applications, 2010, 30(11): 3094-3096.)
- [9] Park Sanghyun. GOP Level Rate-Control for Real-Time Video Transmission [J]. International Journal of Multimedia & Ubiquitous Engineering (S1975-0080), 2013, 8(4): 201-207.
- [10] E Bertino, M Shehab, S Sultana. Secure Provenance Transmission for Streaming Data [J]. IEEE Transactions on Knowledge & Data Engineering (S1041-4347), 2013, 25(8): 1890-1903.
- [11] 候宏录, 张文芳. 基于 FPGA 的 SDRAM 控制器设计方案 [J]. 兵工自动化, 2002, 31(2): 57-60. (Hou Honglu, Zhang Wenfang. Design Scheme of SDRAM Controller Based on FPGA [J]. Ordnance Industry Automation, 2002, 31(2): 57-60.)
- [12] Kserawi M, Sangsu Jung, Dujeong Lee, et al. Multipath Video Real-Time Streaming by Field-Based Anycast Routing [J]. Multimedia, IEEE Transactions on (S1520-9210), 2013, 25(25): 533-450.
- [13] 宋建勋, 刘峰. 基于 TMS320M365 多平台实时视频传输系统的设计与实现 [J]. 器件与应用, 2011, 35(7): 32-40. (Song Jianxun, Liu Feng. Design and implementation of real time video transmission system based on TMS320M365 [J]. Device and Applications, 2011, 35(7): 32-40.)
- [14] 李洪伟, 袁斯华. 基于 Quartus II 的 FPGA/CPLD 设计 [M]. 北京: 电子工业出版社, 2010. (Li Hongwei, Yuan Sihua. Design of FPGA/CPLD based on Quartus II [M]. Beijing, China: Publishing House of Electronics Industry, 2010.)
- [15] 吴宾, 刘安良, 赵楠, 等. 基于 Rocket IO 的高速光收发器的设计与实现 [J]. 光器件, 2014, 33(2): 101-104. (Wu Bin, Liu Anliang, Zhao Nan, et al. Design and implementation of high speed optical transceiver based on Rocket IO [J]. Optical Components, 2014, 33(2): 101-104.)

(上接第 807 页)

- [6] 王庆慧, 刘鹏, 王丹枫. 安全检查表对作业条件危险性分析方法修正的研究 [J]. 中国安全生产科学技术, 2013, 9(8): 125-129. (Wang Qing-hui, Liu Peng, Wang Dan-feng. Research on amendment of LEC by safety checklist analysis [J]. Journal of Safety Science and Technology, 2013, 9(8): 125-129.)
- [7] 王涛, 邵云飞. 技术创新的动态时变专家评价方法研究 [J]. 科技管理研究, 2010, 30(10): 8-10. (Wang Tao, Shao Yunfei. A study on the dynamic time-varying expert evaluation method on the aspect of technological innovation [J]. Science and technology management research, 2010, 30(10): 8-10.)
- [8] Nakajo T, Kume H. A case history analysis of software error cause-effect relationships [J]. IEEE Transactions on Software Engineering (S0098-5589), 1991, 17(8): 830-838.
- [9] 安景文, 刘颖. 对中国质量培训现状的思考 [J]. 中国质量, 2014(9): 28-31. (An Jingwen, Liu Ying. Thinking about the Present Situation of Chinese Quality Training [J]. China Quality, 2014 (9): 28-31.)
- [10] Wang Y, Luo Y, Hua Z. On the extent analysis method for fuzzy AHP and its applications [J]. European Journal of Operational Research (S0377-2217), 2008, 186(2): 735-747.
- [11] Ding S, Jia W, Su C, et al. An Improved BP Neural Network Algorithm Based on Factor Analysis [J]. Journal of Convergence Information Technology (S1975-9320), 2010, 5(4): 103-108.
- [12] Xue X, Chang J, Liu Z. Context-aware intelligent service system for coal mine industry [J]. Computers in Industry (S0166-3615), 2014, 65(2): 291-305.

<http://www.china-simulation.com>