

7-2-2020

Power modeling and simulation for D/A network in R-C hybrid SAR ADC

Xingyuan Tong

School of Electronic Engineering, Xi'an Univ. of Posts & Telecommunications, Xi'an 710121, China;

Zhang Yang

School of Electronic Engineering, Xi'an Univ. of Posts & Telecommunications, Xi'an 710121, China;

Follow this and additional works at: <https://dc-china-simulation.researchcommons.org/journal>



Part of the [Artificial Intelligence and Robotics Commons](#), [Computer Engineering Commons](#), [Numerical Analysis and Scientific Computing Commons](#), [Operations Research](#), [Systems Engineering and Industrial Engineering Commons](#), and the [Systems Science Commons](#)

This Paper is brought to you for free and open access by Journal of System Simulation. It has been accepted for inclusion in Journal of System Simulation by an authorized editor of Journal of System Simulation.

Power modeling and simulation for D/A network in R-C hybrid SAR ADC

Abstract

Abstract: D/A conversion network of SAR (SAR: Successive Approximation Register) ADC was discussed. *The energy model of the capacitor array in R-C hybrid D/A network was established by using MATLAB. With the combination of resistor string's static power and capacitor array's switching power, the power model of the R-C hybrid network in SAR ADC was proposed based on a 65nm CMOS process. Furthermore, by considering matching requirement for the passive components, 12-bit R-C hybrid D/A networks with "5+7", "6+6" and "7+5" type of structures were simulated and compared. The research can provide significant guidance for circuit design and optimization of low-power SAR ADC.*

Keywords

successive approximation register (SAR), D/A conversion network, energy model, low-power

Recommended Citation

Tong Xingyuan, Zhang Yang. Power modeling and simulation for D/A network in R-C hybrid SAR ADC[J]. Journal of System Simulation, 2016, 28(4): 946-950.

R-C 型逐次逼近 ADC D/A 转换网络功耗模型与仿真

佟星元, 张洋

(西安邮电大学 电子工程学院, 陕西 西安 710121)

摘要: 逐次逼近(SAR: Successive Approximation Register)ADC 广泛应用于低功耗电路系统, 为指导低功耗 SAR ADC 的设计优化, 对其 D/A 转换网络的功耗进行了建模研究。重点针对适用于中高精度应用的 R-C 组合型 D/A 转换网络, 基于 Matlab 工具建立了电容阵列的能耗模型, 并结合 65 nm CMOS 工艺, 同时考虑电阻梯的静态功耗以及电容阵列的动态功耗, 获得了 SAR ADC R-C 组合型 D/A 转换网络的功耗模型, 在此基础上, 以 12-bit SAR ADC 为设计实例, 在考虑无源器件匹配性的前提下, 分别针对“5+7”、“6+6”以及“7+5”三种典型的 R-C 组合结构进行了功耗仿真和比较, 研究结果对低功耗 SAR ADC 的设计和优化具有重要指导意义。

关键词: 逐次逼近 ADC; D/A 转换网络; 能耗模型; 低功耗

中图分类号: TN431.1

文献标识码: A

文章编号: 1004-731X (2016) 04-0946-05

Power modeling and simulation for D/A network in R-C hybrid SAR ADC

Tong Xingyuan, Zhang Yang

(School of Electronic Engineering, Xi'an Univ. of Posts & Telecommunications, Xi'an 710121, China)

Abstract: D/A conversion network of SAR (SAR: Successive Approximation Register) ADC was discussed. The energy model of the capacitor array in R-C hybrid D/A network was established by using MATLAB. With the combination of resistor string's static power and capacitor array's switching power, the power model of the R-C hybrid network in SAR ADC was proposed based on a 65nm CMOS process. Furthermore, by considering matching requirement for the passive components, 12-bit R-C hybrid D/A networks with “5+7”, “6+6” and “7+5” type of structures were simulated and compared. The research can provide significant guidance for circuit design and optimization of low-power SAR ADC.

Keywords: successive approximation register (SAR); D/A conversion network; energy model; low-power

引言

随着集成电路工艺特征尺寸减小到纳米级, 片上系统(SoC: System-on-Chip)的集成度不断提升, 尤其在电池供电系统、便携式、穿戴式以及植入式

等应用系统, 低功耗成为 SoC 设计的关键指标之一。作为模拟电路和数字电路的接口, 模/数转换器(ADC: Analog-to-Digital Converter)的应用非常广泛, 其中, 逐次逼近(SAR: Successive Approximation Register)ADC 凭借其特有的功耗低、面积小等优势, 广泛应用于无线传感器网络、触摸屏控制器和生物医学芯片等领域^[1-10]。

在低功耗逐次逼近 ADC 设计方面, 降低内部 D/A 转换网络的功耗十分关键。目前, 有不少文献寻求通过建立 D/A 转换网络的功耗模型或能耗模型以指导后续电路设计, 其中, 文献[1]构建了传



收稿日期: 2014-11-7 修回日期: 2015-01-20;
基金项目: 国家自然科学基金(61204029); 国家重大科技专项(2016ZX03001003-006); 陕西省自然科学基金(2014JQ8332);

作者简介: 佟星元(1984-), 男, 河北保定, 博士, 副教授, 硕导, 研究方向为低功耗集成电路设计、超低功耗 A/D 转换器设计与建模仿真等; 张洋(1991-), 女, 陕西西安, 硕士生, 研究方向为低功耗 A/D 转换设计与建模。

<http://www.china-simulation.com>

统电荷再分配结构 D/A 转换网络的能耗模型, 并提出了基于电容拆分的新型电容阵列; 文献[2]分别针对传统电荷再分配结构、电容-电容(C-C)组合结构以及文献[1]提出的电容拆分结构建立了能耗模型和匹配模型; 针对传统电荷再分配结构面积和功耗大的缺点, 文献[3-7]相继提出改进结构并建立能耗模型指导后续电路设计。然而, 这些文献所建立的指导模型大多都是基于电荷再分配结构、C-C 或者电容-电阻(C-R)组合结构进行的研究。然而, 文献[8]所提出的 R-C 组合结构也是 SAR ADC 的一种重要结构, 尤其在 10-12 位精度的 SAR ADC 中, 具有很强的实用性^[7-10]。

在以上应用和研究背景下, 本文针对 SAR ADC 中 R-C 组合型 D/A 转换网络, 采取 Matlab 工具建立其内部电容阵列的能耗模型, 并结合 65 nm CMOS 工艺, 获得整体 R-C 组合型 D/A 转换网络的功耗模型, 旨在有效指导高精度 SAR ADC 的低功耗设计和优化。

1 R-C 组合型 D/A 转换网络

由于不存在静态功耗, 电荷再分配结构是低功耗 SAR ADC 的常用结构。然而, 随着位数的提高, 电容阵列中电容的个数呈 2 的指数倍增长, 导致芯片面积增大、布局布线复杂度增加。为了在面积和功耗方面进行有效折中, Fotouhi B. 在 1979 年提出了 R-C 组合结构的逐次逼近 A/D 转换结构^[8]。

图 1 所示的是 R-C 组合型 D/A 转换网络结构图。整个 D/A 转换网络由 M -bit 电阻梯和 L -bit 电容阵列组成, 在采样阶段, 电容阵列下极板通过开关 Sl_0-Sl_L 以及 Sa 接至 V_{in} 进行采样; 之后, 采样开关 Sa 断开, 通过开关 Shn_1-Shn_{2M} 对电阻梯进行二进制搜索, 逐次产生 M -bits 的高位数字代码, 同时产生电容阵列的基准 V_{refn} 和 V_{refp} , $V_{refp} = V_{refn} + V_{ref}/2^M$; 最后, 电容阵列在基准 V_{refn} 和 V_{refp} 作用下, 按照传统电荷再分配型结构的工作方式, 逐次产生 L -bits 的低位数字输出。

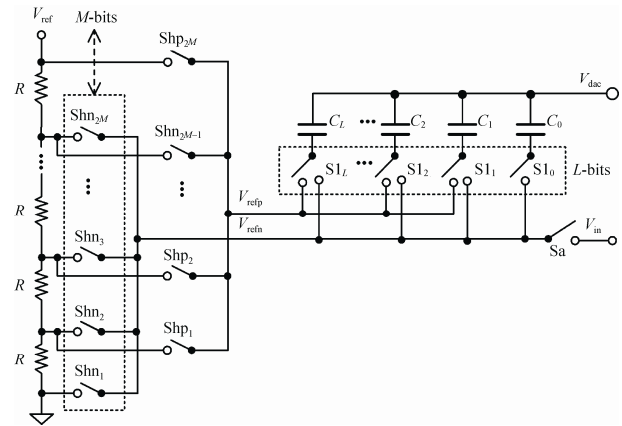


图 1 R-C 组合结构 D/A 转换网络

2 R-C 结构 D/A 网络功耗模型

根据论文第 1 部分阐述的原理, R-C 组合型 D/A 转换网络的功耗由两部分组成: 电阻梯的静态功耗以及电容阵列的动态功耗。

2.1 电阻梯静态功耗

在 SAR ADC 的整个 A/D 转换过程中, R-C 组合型 D/A 转换网络中的电阻梯使得基准和地之间保持常通状态, 因此, 其消耗的静态功耗可表示如下:

$$P_{R_static} = V_{ref}^2 / R_{total} \quad (1)$$

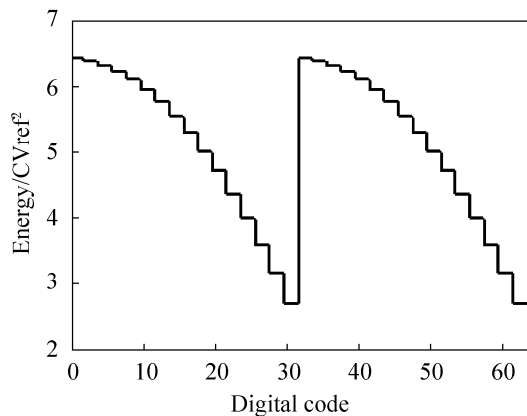
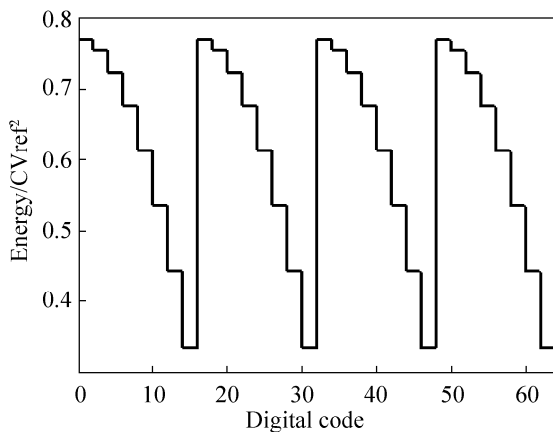
式中: V_{ref} 是整个 SAR ADC 的基准电压; R_{total} 表示整个电阻梯的总电阻值。

2.2 电容阵列转换能耗

在采样阶段, 电容阵列由输入信号 V_{in} 驱动, 不消耗 V_{ref} 任何能耗。在产生 MSBs 的过程中, 电容阵列的下极板由 V_{in} 转接到电阻梯, 按照二进制搜索的方式寻找接近 V_{in} 的电压节点 V_{refn} 。在该过程中, 整个电容阵列的上下极板间的电压差始终未发生变化, 因此, 能耗为 0。在产生 LSBs 时, 电容阵列在 V_{refn} 和 V_{refp} 的作用下, 按照传统电荷再分配结构的工作过程进行工作, 产生相应数字输出, 该过程产生能量损耗。

为便于分析原理, 图 2 和图 3 分别给出了 6-bit 设计实例的两种不同结构的建模仿真结果。对于

$M=1, L=5$ 的情况, 高位电阻梯的存在, 使得整个能耗波形被分成左右两部分。无论最高位是“1”还是“0”, 电容阵列在工作时的正负基准之差均为 $V_{\text{ref}}/2$, 因此, 左右两部分波形完全相同。对于电容阵列, 在产生最后一位时, 电容的切换对应着特定的能耗值, 而比较器的输出存在“0”和“1”两种可能, 因此, 相邻的两个数码输出对应着相同的能耗, 5-bit 电容阵列的能耗曲线有 $16(2^{5-1})$ 个台阶。同理, 对于 $M=2, L=4$ 的情况, 整个能耗曲线共分为 $4(2^M)$ 段相同的部分, 每一段曲线具有 $8(2^{L-1})$ 个能耗台阶。

图2 电容阵列转换能耗 $M=1, L=5$ 图3 电容阵列转换能耗 $M=2, L=4$

假设 SAR ADC 的采样速率为 f_s (Sample/s), 则完成一次 A/D 转换所需要的时间为 $1/f_s$, 若将完成一次 A/D 转换电容阵列所消耗的能耗记为 $Energy$, 则电容阵列的功耗可以表示为:

$$P_{C_dynamic} = Energy \times f_s \quad (2)$$

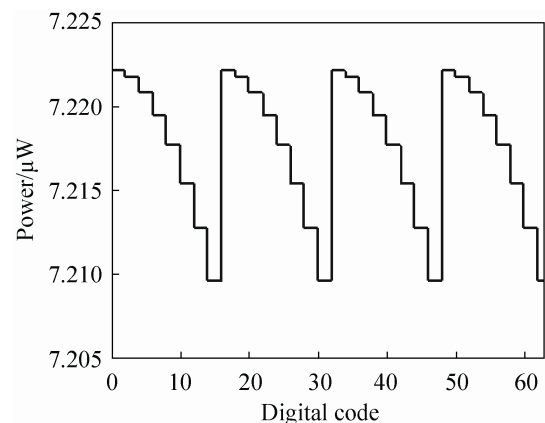
2.3 总体功耗

将 $Energy$ 的平均值表示成 $A_{vg}(Energy) = E_{avg} C V_{\text{ref}}^2$, 则整个 D/A 转换网络的功耗可表示如下:

$$P = V_{\text{ref}}^2 / R_{\text{total}} + E_{avg} C V_{\text{ref}}^2 \times f_s \quad (3)$$

其中, $R_{\text{total}} = 2^M R_u$, E_{avg} 可由 2.2 部分构建的电容能耗模型仿真获得。因此, 在一定的采样速率以及结构固定的情况下, 整个 D/A 转换网络的功耗由基准电压 V_{ref} 、电阻梯单位电阻 R_u 以及电容阵列单位电容 C 决定。 V_{ref} 属于 ADC 的基准电压, 可由外部输入或内部基准电路提供; R_u 的大小在工艺实现上仅由方块电阻和方块数目决定; 而单位电容 C 的取值受到工艺水平以及电路线性指标的影响, 因此, 只有在特定的工艺下, 同时考虑匹配性要求, 讨论 D/A 转换网络的功耗才具有意义。

根据 65 nm CMOS 工艺的匹配性能, 并结合文献[11]中提供的 ADC 无源器件匹配性要求, 对于“2+4”结构的 R-C 组合型 D/A 转换网络, 选取叉指电容 $C=10\text{fF}$ 来满足其非线性指标要求。在 2 MS/s 的采样速率下, 可选单位电阻 $R_u=50\text{ k}\Omega$ 以满足 D/A 转换网络建立时间的要求。在 $V_{\text{ref}}=1.2\text{ V}$ 条件下, 获得的 R-C 组合型 D/A 转换网络的功耗曲线如图 4 所示, 平均功耗为约为 $7.22\text{ }\mu\text{W}$, 其中电阻梯的功耗为 $7.2\text{ }\mu\text{W}$, 占总体功耗的 99.7%。

图4 D/A 转换网络功耗曲线 $M=2, L=4$

3 12-bit R-C 型 D/A 转换网络设计优化

通过构建 D/A 转换网络的功耗模型, 可以有效指导低功耗设计和优化。由 2.3 部分的分析, 根据 65 nm CMOS 工艺提供的匹配报告, 并结合文献[11]中提供的 ADC 无源器件匹配性要求设计电容和电阻的尺寸, 同时考虑 D/A 转换网络建立时间的要求, 本文在 2 MS/s 的采样速率下, 分别针对 12-bit 精度的“5+7”、“6+6”以及“7+5”3 种典型结构进行了功耗建模仿真, 仿真结果分别如图 5~7 所示。

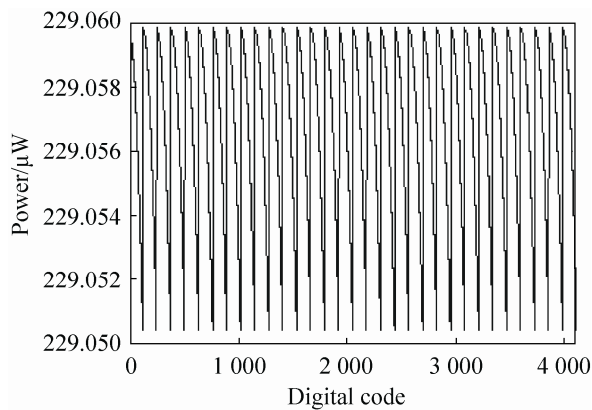


图 5 “5+7”R-C 结构 D/A 转换网络功耗

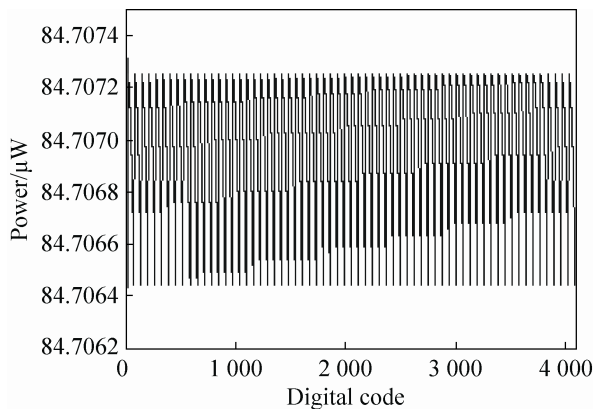


图 6 “6+6”R-C 结构 D/A 转换网络功耗

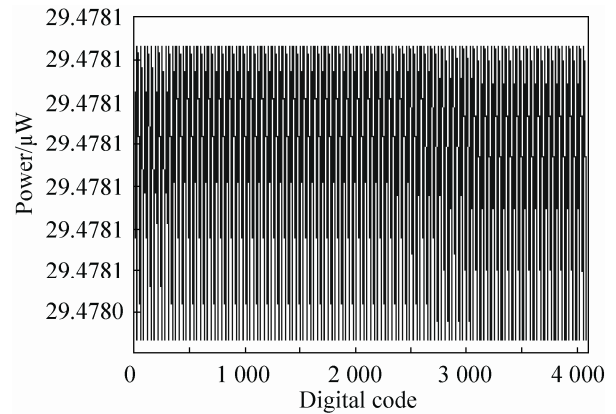


图 7 “7+5”R-C 结构 D/A 转换网络功耗

根据图 5~7 所示, 随着电阻梯位数 M 的增加, 电阻梯的总阻值增大, 由于电阻梯的静态功耗在 R-C 组合结构 D/A 转换网络的功耗中占绝大比重, 因此, 电阻梯位数的增加有利于降低 R-C 组合结构 D/A 转换网络的功耗。然而, 随着电阻梯位数 M 的增大, ADC 的线性性能对电阻之间匹配性的要求增加, 电阻梯的面积需要增大。同理, 对于电容阵列而言, 若增加位数 L , 减小电阻梯位数 M , 同样需要增加电容的面积以满足更高的电容匹配性能。经以上分析, D/A 转换网络的功耗和面积之间存在折中。

为此, 本文将 3 种常见架构的 R-C 组合网络在功耗和面积方面进行了比较, 如表 1 所示。其中, 电阻和电容的面积结合 65 nm CMOS 工艺匹配性能和文献[11]中提出的 ADC 无源器件匹配性要求给出, 采样速率以 2 MS/s 为例。在电容方面, 虽然容值和面积成正比, 但由于容值和面积间的对应比例关系依电容类型和结构的不同而存在差异, 本文结合叉指电容采用了一种近似对应。在电阻方面, 单位电阻的最大阻值受 D/A 转换网络建立时间的限制, 最小面积受特定工艺的匹配性能约束。

表 1 3 种典型的 12-bit 精度 R-C 组合 D/A 转换网络建模仿真结果对比

参数 结构	单位电阻 R_u		单位电容 C		平均功耗 $P_{avg}/\mu W$	D/A 网络面积/ μm^2
	最大阻值/ Ω	最小面积/ μm^2	容值/fF	面积/ μm^2		
“7+5”	381.6	$A=4 \times 25$	26.5	26.5	29.5	13 648
“6+6”	265.6	1.414A	37.5	37.5	84.7	11 451
“5+7”	196.5	2A	53.0	53.0	229	13 184

4 结论

本文针对适用于中高精度 SAR ADC 的 R-C 组合型 D/A 转换网络, 构建了其内部电容阵列的能耗模型, 并结合 65 nm CMOS 工艺, 获得了整个 R-C 无源网络的功耗模型。在此基础上, 以 12-bit SAR ADC 为设计实例, 在考虑无源器件匹配性的前提下, 对比了“5+7”、“6+6”、“7+5”3 种典型 R-C 组合结构的功耗和面积, 旨在有效指导 SAR ADC 的低功耗设计和优化。结合本文的理论研究、对 12-bit 设计实例的建模仿真与比较、以及对功耗和面积的分析, 笔者后续将基于 65 nm CMOS 对 R-C 组合型 SAR ADC 进行设计, 进一步验证本文模型在低功耗 SAR ADC 设计优化方面的实用性。

参考文献:

- [1] Ginsburg B P, Chandrakasan A P. An energy-efficient charge recycling approach for a SAR converter with capacitive DAC [C]// IEEE Int. Symp. Circuits and Systems. USA: IEEE, 2005: 184-187.
- [2] Sabri M, Lotfi R, Mafinezhad K A, et al. Analysis of Power Consumption and Linearity in Capacitive Digital-to-Analog Converters Used in Successive Approximation ADCs [J]. IEEE Trans. Circuits Syst I (S0013-5194), 2011, 58(8): 1736-1748.
- [3] Hariprasath V, Guerber J, Lee S H, et al. Merged

capacitor switching based SAR ADC with highest switching energy-efficiency [J]. Electronics Letters (S0013-5194), 2010, 46(9): 620-621.

- [4] Yuan C, Lam Y. Low-energy and area-efficient tri-level switching scheme for SAR ADC [J]. Electronics Letters (S0013-5194), 2012, 48(9): 482-483.
- [5] Pun K, Sun L, Li B. Unit capacitor array based SAR ADC [J]. Microelectronics Reliability (S0026-2714), 2013, 53(3): 505-508.
- [6] Sanyal A, Sun N. SAR ADC architecture with 98% reduction in switching energy over conventional scheme [J]. Electronics Letters (S0013-5194), 2013, 49(4): 248-250.
- [7] Tong X Y, Zhang W P, Li F X. Low-energy and area-efficient switching scheme for SAR A/D converter [J]. Analog Integr. Circ. and Sig. Process (S0925-1030), 2014, 80(1): 153-157.
- [8] Fotouhi B, Hodges D A. High-Resolution A/D Conversion in MOS/LSI [J]. IEEE J. Solid-State Circuits (S0018-9200), 1979, SC-14(6): 920-926.
- [9] 佟星元. 模/数转换器结构设计综述 [J]. 西安邮电大学学报, 2013, 18(2): 75-80.
- [10] Tong X Y, Zhu Z M, Yang Y T, et al. D/A conversion networks for high-resolution SAR A/D converters [J]. Electronics Letters (S0013-5194), 2011, 47(3): 169-171.
- [11] Doernberg J, Gray P R, Hodges D A. A 10-bit 5-M samples/s CMOS two-step flash ADC [J]. IEEE J. Solid-State Circuits (S0018-9200), 1989, 24(2): 241-249.

(上接第 945 页)

参考文献:

- [1] Zamyshlyayev B V, Yakovlev Y S. Dynamic Loads in Underwater Explosion [R]// AD-757183. Washington, D C, USA: Naval Intelligence Support Center, 1973: 86-88.
- [2] 顾文彬, 郑向平, 刘建青, 等. 浅层水中爆炸冲击波对混凝土结构斜碰撞作用实验研究 [J]. 爆炸与冲击, 2006, 26(5): 361-366.
- [3] Ofengeim D K, Drikakis D. Simulation of Blast Wave Propagation over a Cylinder [J]. Shock Waves (S0938-1287), 1997, 7(5): 305-317.
- [4] 李裕春, 程克明, 沈蔚, 等. 水中冲击波对混凝土结构

破坏的实验研究 [J]. 材料工程, 2008, 307(12): 92-94.

- [5] Livermore Software Technology Corporation (LSTC). LS-DYNA^R keyword user's manual (Volume I, Version 971) [Z]. California, USA: Livermore Software Technology Corporation, 2012: 581-583.
- [6] Trevino T. Applications of Arbitrary Lagrangian Eulerian (ALE) Analysis Approach to Underwater and Air Explosion Problems [R]. Monterey, CA, USA: Naval Postgraduate School, 2000: 23-28.
- [7] Chung M, Brett J. Assessment of Underwater Blast Effects on Scaled, Submerged Cylindrical Objects [R]// DSTO-TR-0575. Melbourne, Victoria, Australia: Aeronautical and Maritime Research Laboratory, 1997: 2-5.